

Pannon Egyetem

Képfeldolgozás és Neuroszámítógépek Tanszék



Digitális Rendszerek és Számítógép Architektúrák

9. előadás: DSP (Digital Signal Processing)

Előadó: Vörösházi Zsolt
Szolgay Péter

Jegyzetek, segédanyagok:

- Könyvfejezetek:

- <http://www.knt.vein.hu>

- > Oktatás -> Tantárgyak -> Digitális Rendszerek és Számítógép Architektúrák (nappali) -> Kiegészítések -> DSP

- ([tms320Cx.pdf](#))

- Fóliák, óravázlatok .ppt (.pdf)

- Feltöltésük folyamatosan



Általános DSP rendszermodell - alapok

Jelek - Jelfeldolgozás

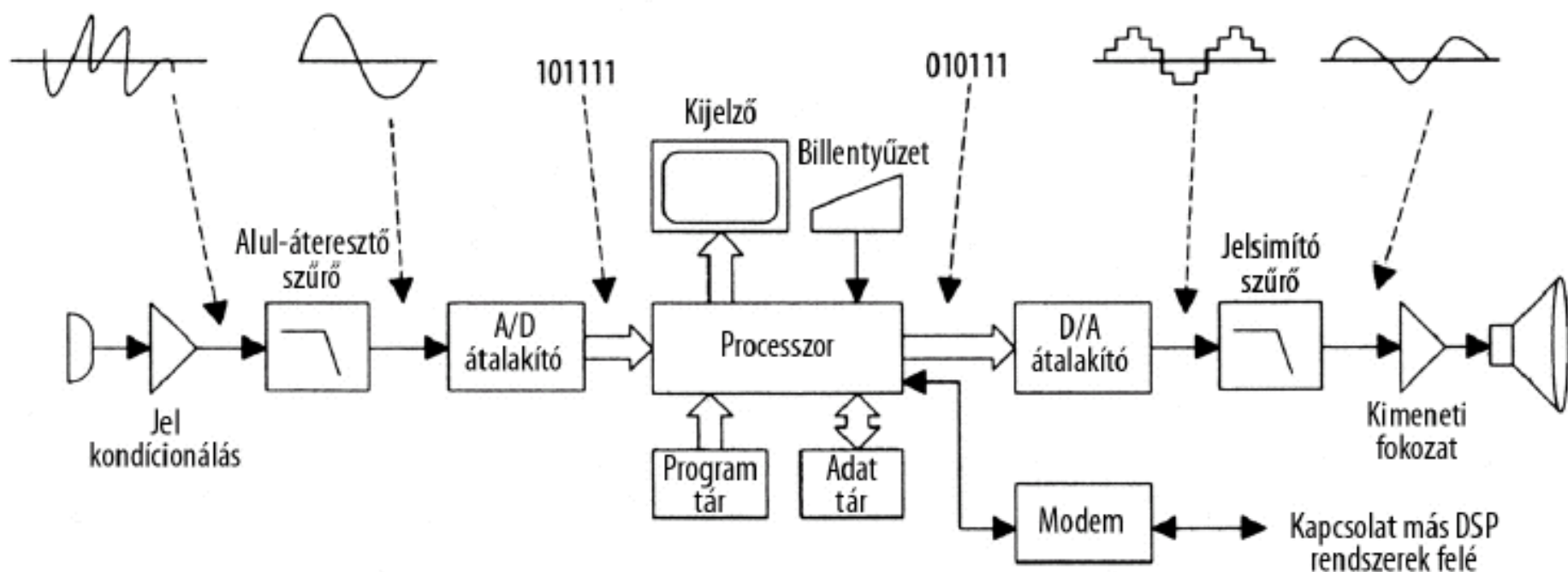
- Digitális jelfeldolgozás – Digital Signal Processing (DSP)

- Analóg jelek

- Digitális jelek

- Hogyan ábrázolják ezeket a jelértékeket a fizikai hardver eszközök? (hardver-tervező az implementáció során saját maga szabhatja meg, hogy mit-mivel jelöl).

Általános DSP rendszermodell



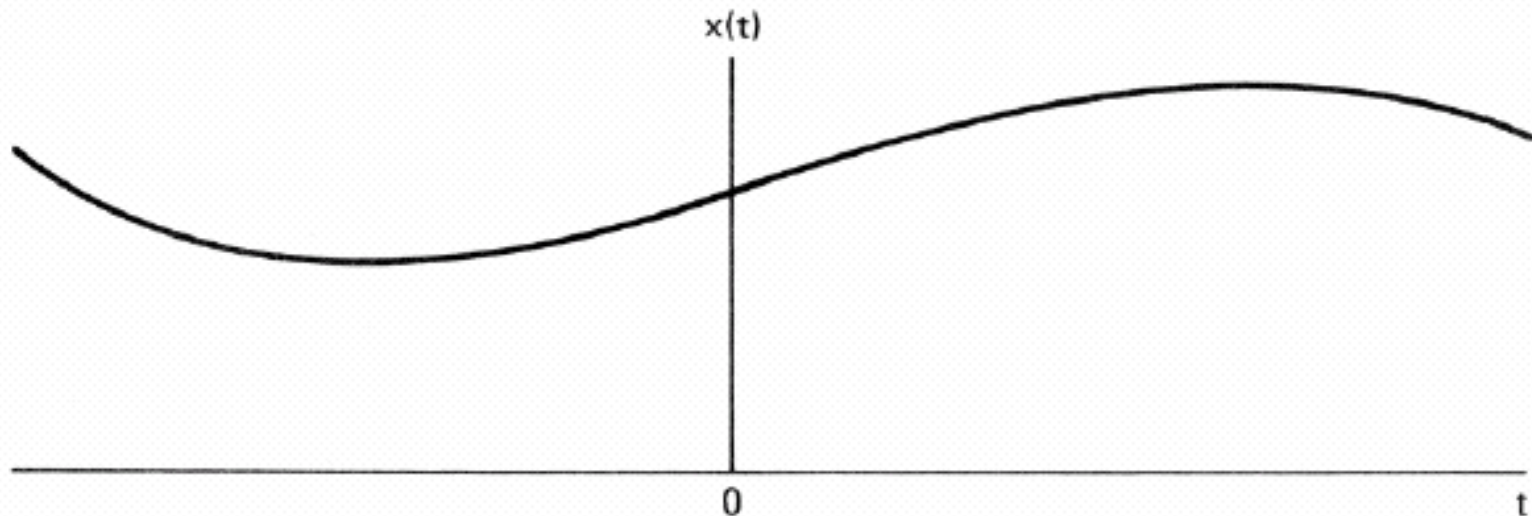
Általános rendszermodell (folyt.)

A DSP rendszermodell által végzett operációk a következő csoportokba sorolhatóak:

- Analóg jel, jelek fogadása az input csatornán.
- Ezen analóg jelek számokkal való ábrázolása, digitalizálása.
- Bizonyos, a funkciót jelentő számítások elvégzése az így kapott értékhalmon.
- A számok visszakonvertálása analóg jelekké.
- Közben az információ feldolgozásra kerül amit megjeleníthetünk, tárolhatunk, vagy továbbíthatunk.

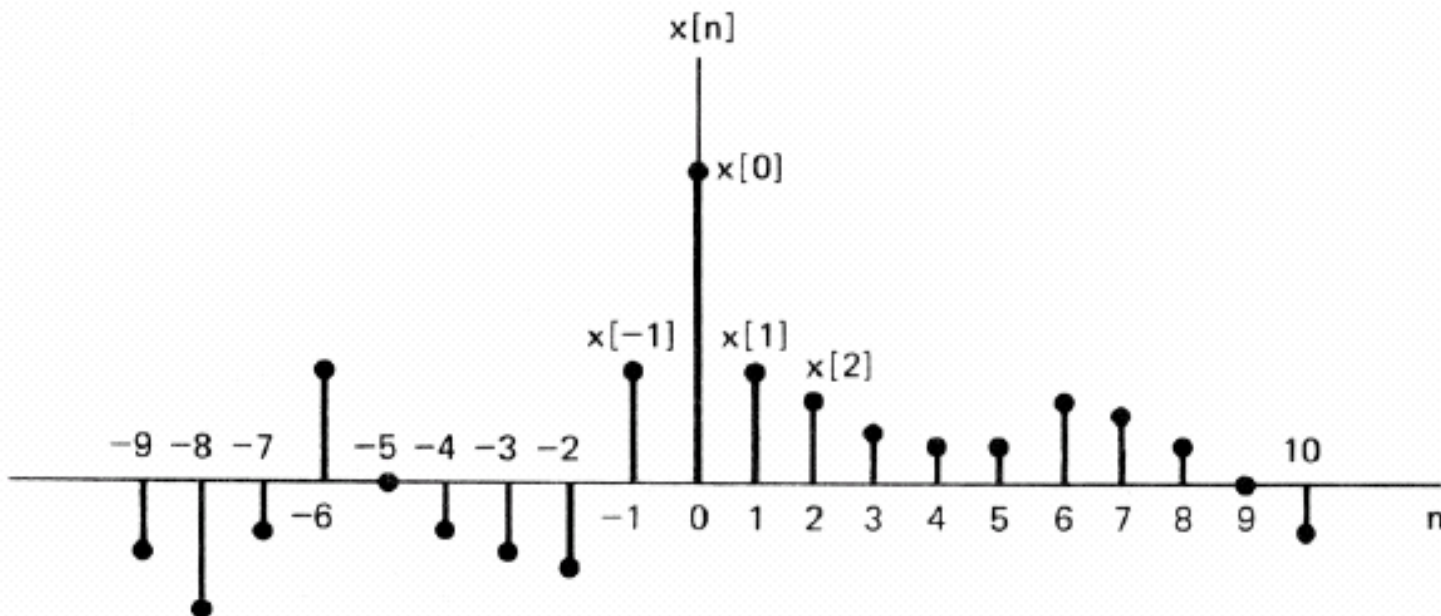
a.) Folytonos jelek

- **Def: Folytonos (analóg) változójú jelek:** Olyan jelek amelyeknek minden független változója folytonos. A mi vizsgálataink szerint az ilyen csupán az időtől folytonosan függő jeleket folytonos idejű jeleknek (Continuous Time Signals) azaz **CT** (jelölés) nevezzük. A folytonos idejű jelek két időpont között végtelen sok értékre vannak definiálva, ezért bármely időpontra felvesznek értéket.

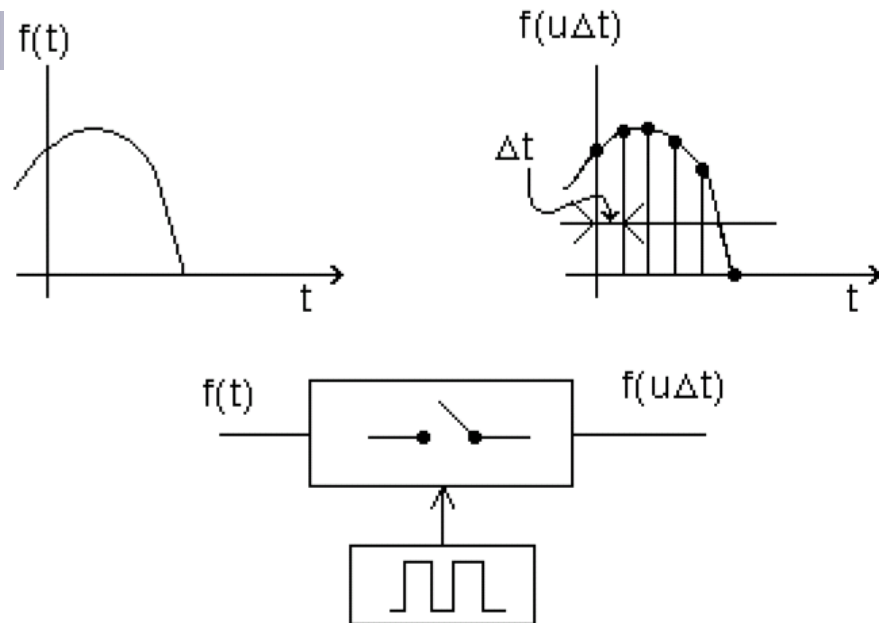


b.) Digitális jelek

- **Def: Diszkrét változójú jelek.** Olyan jelek amelyeknek minden független változója diszkrét értékű. A mi vizsgálataink szerint az ilyen csupán az időtől diszkrétén függő jeleket diszkrét idejű jeleknek (Discrete Time Signals) azaz **DT** (jelölés) nevezzük. A diszkrét idejű jelek csak diszkrét időpontokra vannak definiálva, ezért mindig csak meghatározott időközökben vesznek fel értékeket, és az időközök között nem definiáltak.



Mintavételezés csoportosítása:

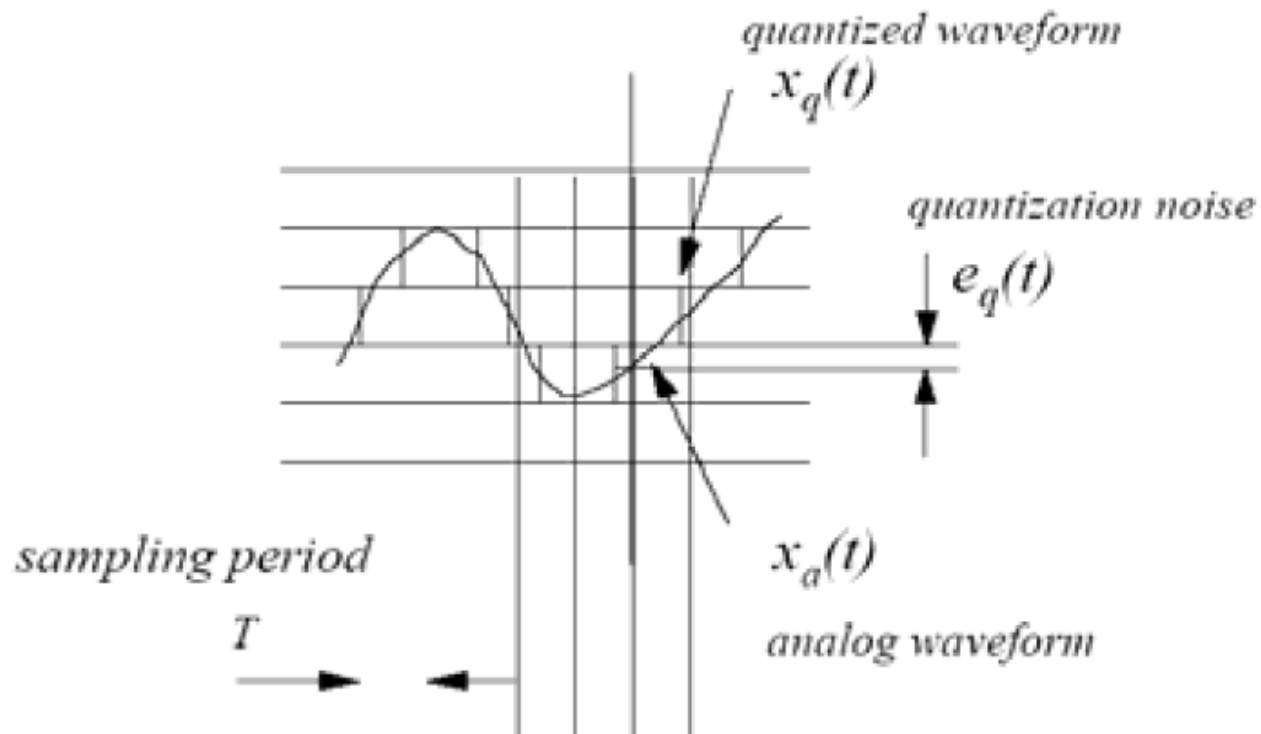


- A **jeltől független** mintavételezés, **ekvidisztáns** időközönként. Ezeket lineáris, rögzített lefolyású mintavevő rendszereknek nevezzük.
- A **jeltől függő** mintavételezés, amikor a változás sebességének növekedése pontosabb ábrázolást igényel, de gazdasági okokból a mintavételezés gyakoriságát valamilyen jellemzőnek a változásához kötjük. Ezeket **nem lineáris**, jeltől függő mintavevő rendszereknek nevezzük.
- **Statisztikai** mintavételezés, általában a manuális mintavételezés tartozik ide.

Folyt. vs Diszkrét jelek

- Folyt (A) $\rightarrow$ diszkrét (D):
 - mintavételezéssel (sampling) és
 - kvantálással (quantization)
- Ennek következtében „aliasing” (gyors jelváltozásból) és „kvantálási zaj” léphet fel! Ezek a hibák kezelhetők, szabályozhatók megfelelően tervezett szűrők segítségével: quantizer, anti-aliasing filter stb.

Kvantálási zaj



$$x_q(t) = x_a(t) + e_q(t)$$



Jelfeldolgozó processzor (DSP) architektúrák

DSP történeti fejlődése

- Első generációs DSP chip-ek: Intel microcontroller, TI, AT&T, Motorola, Analog Devices (1980-as évek elején)
- Low-cost DSP-k (1980-as évek vége)
- Vo-Coder (voice-operated coder) Standards: polgári alkalmazásban (80'-as évek vége)
- DSP technológia migrációja az általános célú mikovezérlőkkel / CPU-kkal (90'-es évek)
- High-complexity (Rich Media Applications)
- Low-power (portable) applications

DSP feladatkörök (Application Spectrum)

- Beszéd- és audio-tömörítés
- Filtering (szűrés)
- Moduláció, demoduláció (MODEM)
- Hiba-javítás, -kódolás, -dekódolás
- Audio feldolgozás (pl. háttérzaj, zajcsökkentés, kiegyenlítés, visszhang kioltás stb.)
- Beszéd felismerés
- Jel szintézis (pl. zene-, beszéd-szintézis stb.)
- 2D-3D video processing
- Mobil kommunikáció (GPS)
- Automotive systems (ECU, Szervó vezérlés, ABS stb.)
- Military (missile guidance)

DSP-n implementálható algoritmusok

- FFT (Fast Fourier Transformation)
- Discrete Cosinus Transformation (MPEG)
- Kódolási eljárások (Huffman, Trellis, Runlength ...)
- Szűrők (FIR, IIR, Kalman, Notch ...)
- Vektor műveletek (Dot Products, Cross Product ...)
- Mátrix műveletek
- Konvolúciók
- Numerikus integrálások, deriválások és egyéb algoritmusok

Miért éppen a DSP?

- Optimalizált architektúrák:
 - Utasításkészlete a jelfeldolgozáshoz igazított
 - Minimalizálja a numerikus problémák megoldását diszkrét, digitális jelek feldolgozásával
- Nagy teljesítmény (5 MIPS – 60 MFLOPS)
 - Komplex algoritmusok valós idejű implementálása
 - Nagy mintavételi arány (sampling rates)
 - Minimális számítási késleltetés
- Rendszer-vezérlés támogatása
 - Utasításkészlet (HLL támogatás: szimuláció, debugger stb.)
 - Dedikált perifériák I/O bit-manipulációhoz
 - Gyors környezet (context) kapcsolás (shadow regiszterekkel)
- Előnyök (digitális rendszer)
 - Megbízhatóság
 - Flexibilitás
 - Time sharing / task switching
 - Környezeti behatásoktól való függetlenség
 - Nagy sáv szélesség és felbontás

Mit kell tudnia egy DSP processzornak a hatékonyság érdekében?

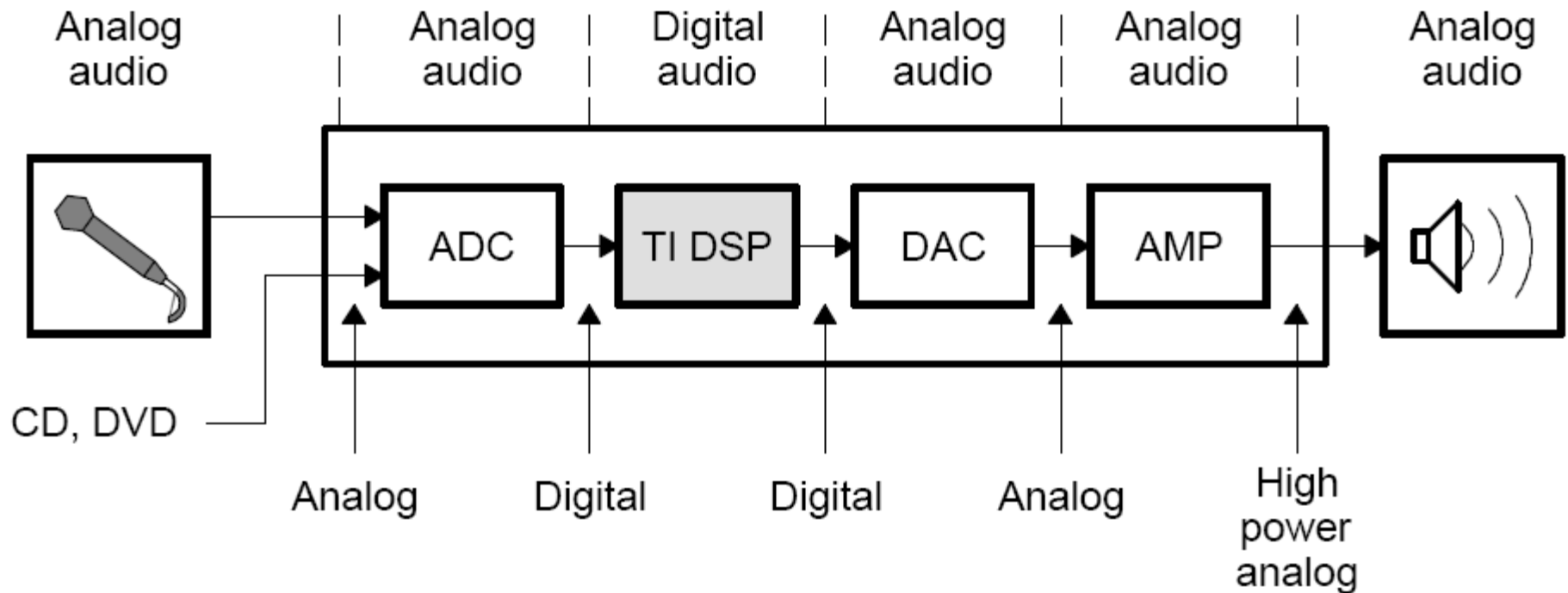
■ Hatékonyság:

- ☐ Ismétlődő numerikus számítások
- ☐ Numerikus pontosság kezelése
- ☐ Nagy memória sáv szélesség (ált. tömb lekérdezések)
- ☐ Real-time feldolgozás

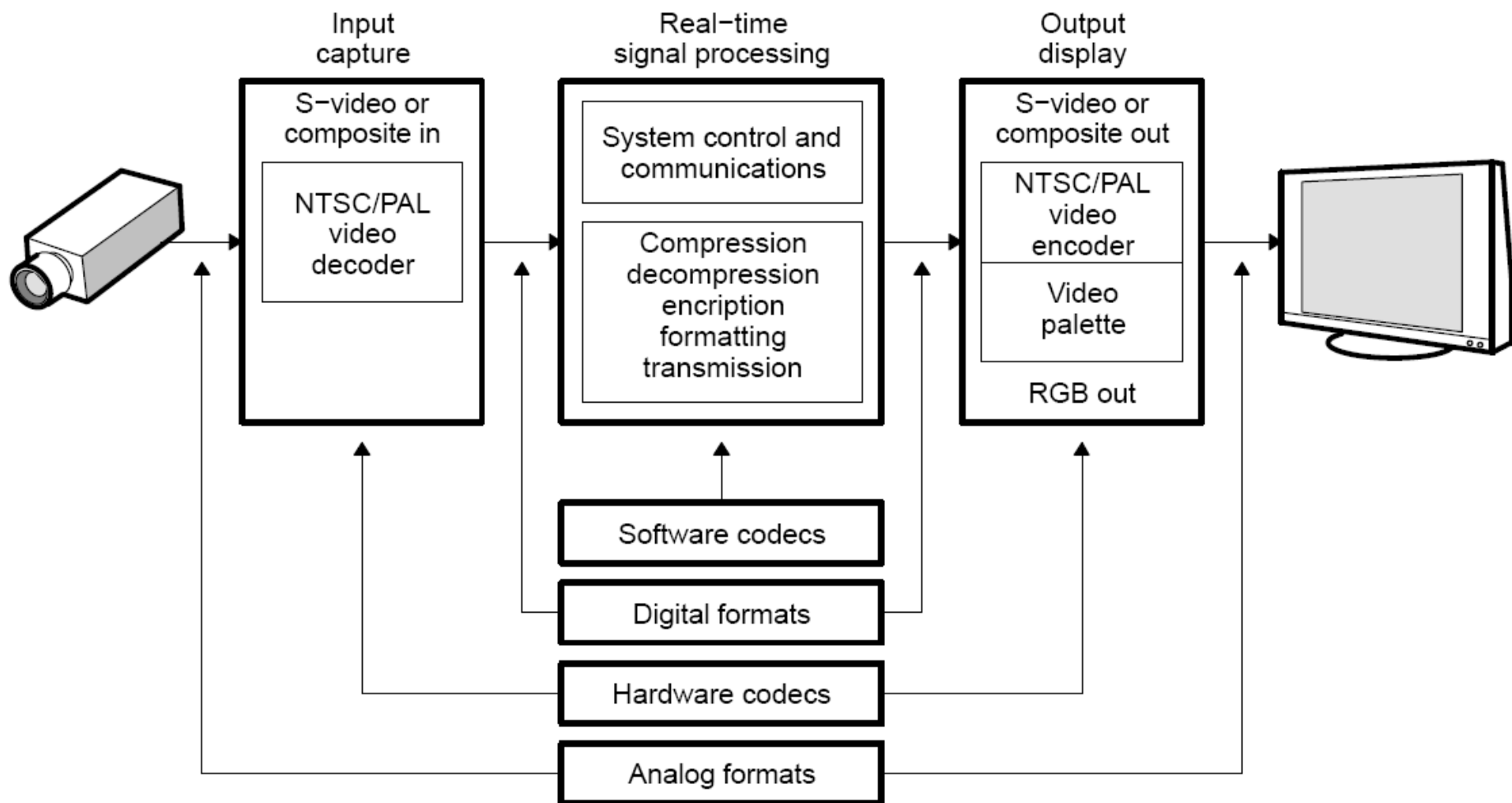
■ Minimális:

- ☐ Költség (ár)
- ☐ Disszipált teljesítmény
- ☐ Memória használat
- ☐ Fejlesztési idő

Példa: DSP-s audió rendszer

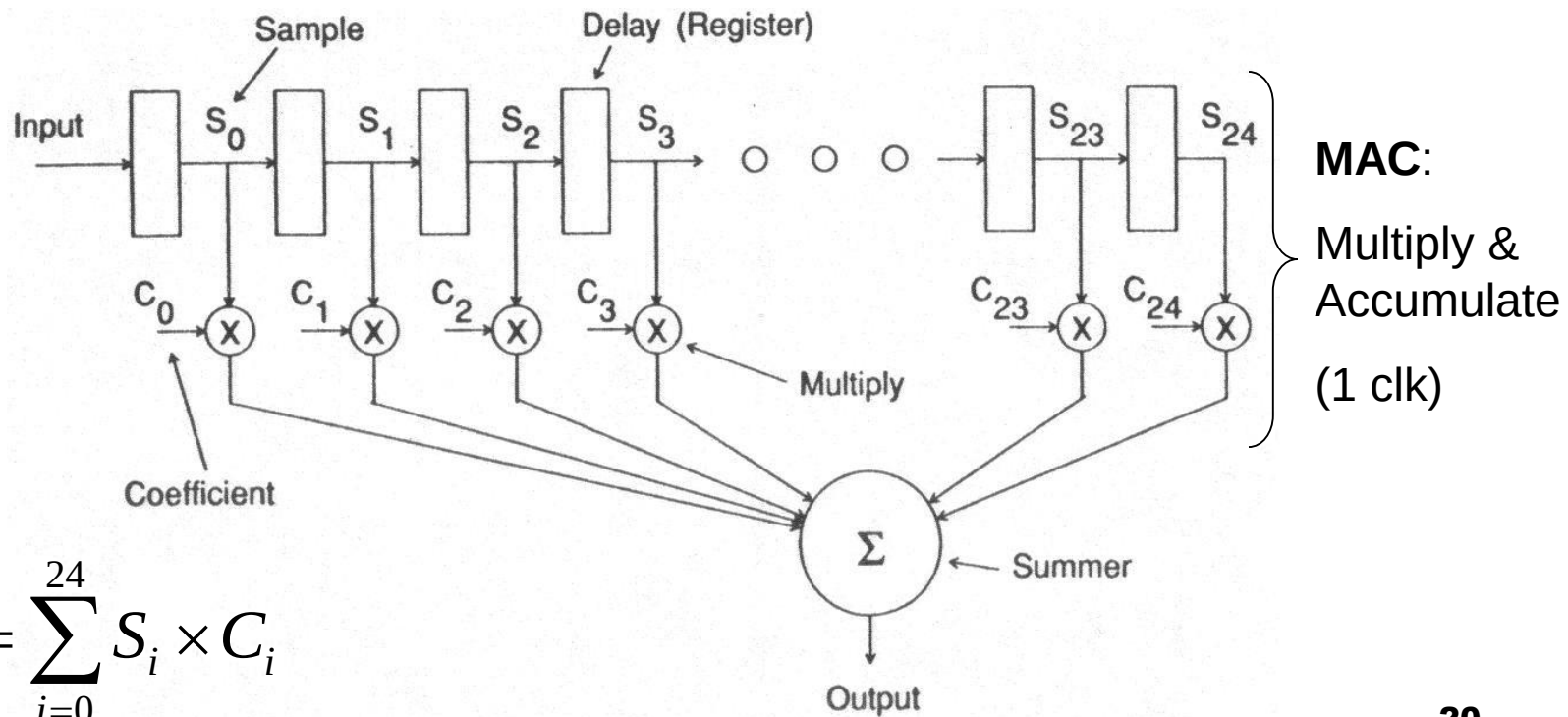


Példa: DSP-s videó feldolgozó és megjelenítő rendszer



Motiváció: FIR szűrő

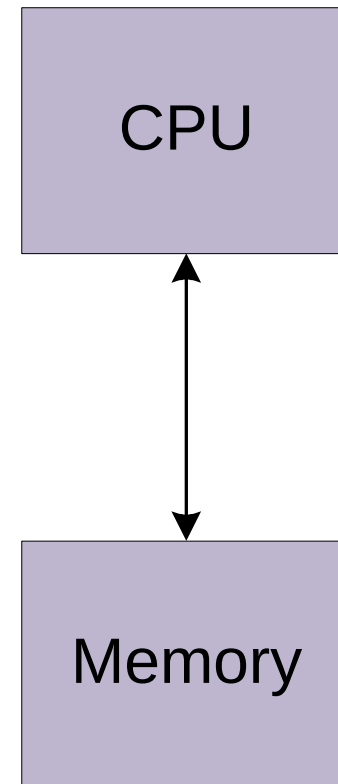
- Mindenegybes elágazásban („tap”= clk össz. n):
 - Két adatfeltöltés (fetch)
 - Szorzás
 - Összeadás



Probléma: FIR filter Neumann architektúrán

:loop

```
mov    *r0, x0
mov    *r1, y0
mpy    x0, y0, a
add    a, b
mov    y0, *r2
inc    r0
inc    r1
inc    r2
dec    ctr
tst    ctr
jnz    loop
```



Probléma:

- memória busz / sávszélesség szűk keresztmetszete
- vezérlési kód hosszúsága

Texas Instruments TMS320C1x/2x/3x/4x/5x – processzor család

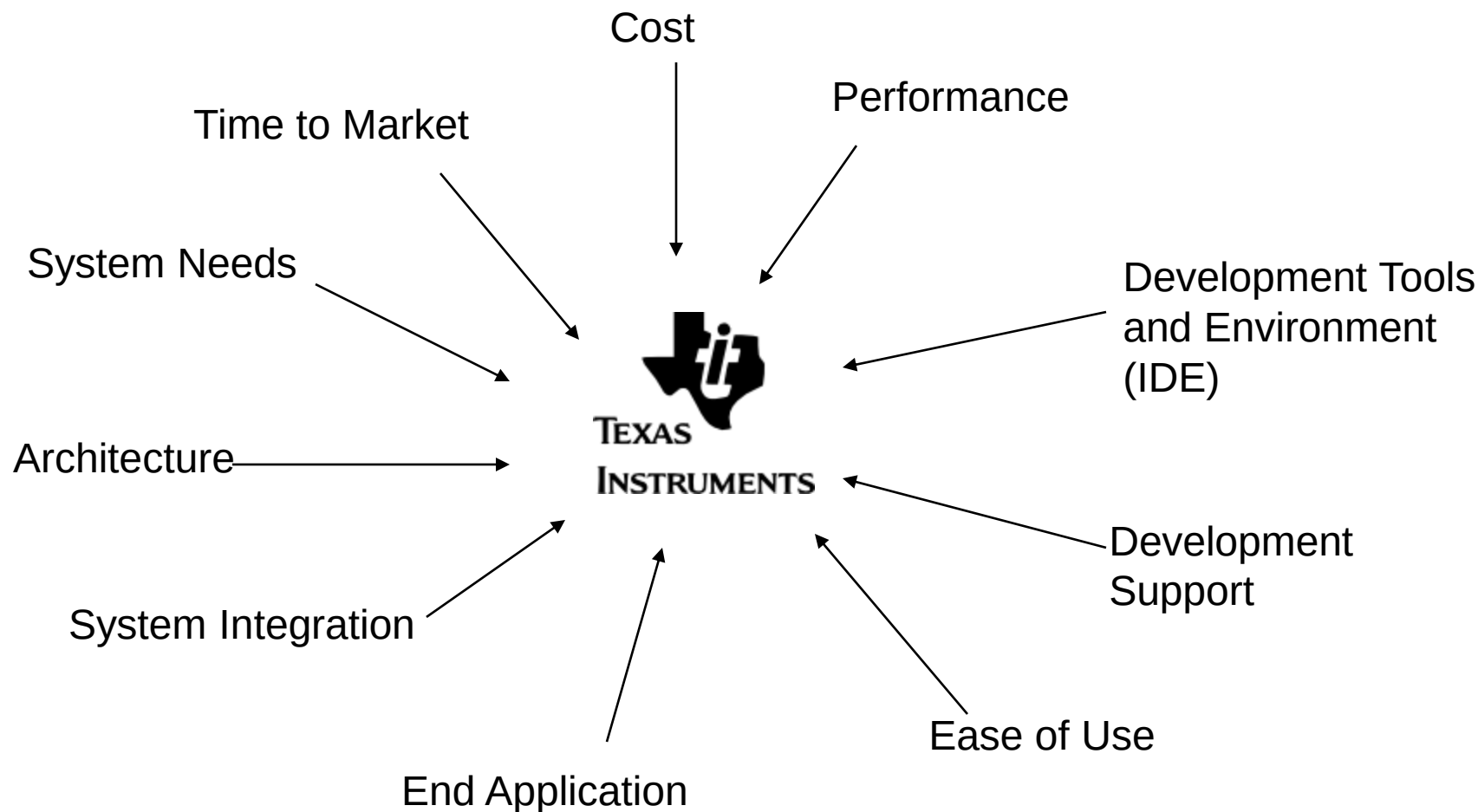




Texas Instruments: Product Areas

- Amplifiers & Linear
- Clocks & Timers
- **DSP-Digital Signal Processing**
- Data Converters
- Interface
- Logic
- Microcontrollers
- Power Management
- RF/IF Components
- TI-RFid™

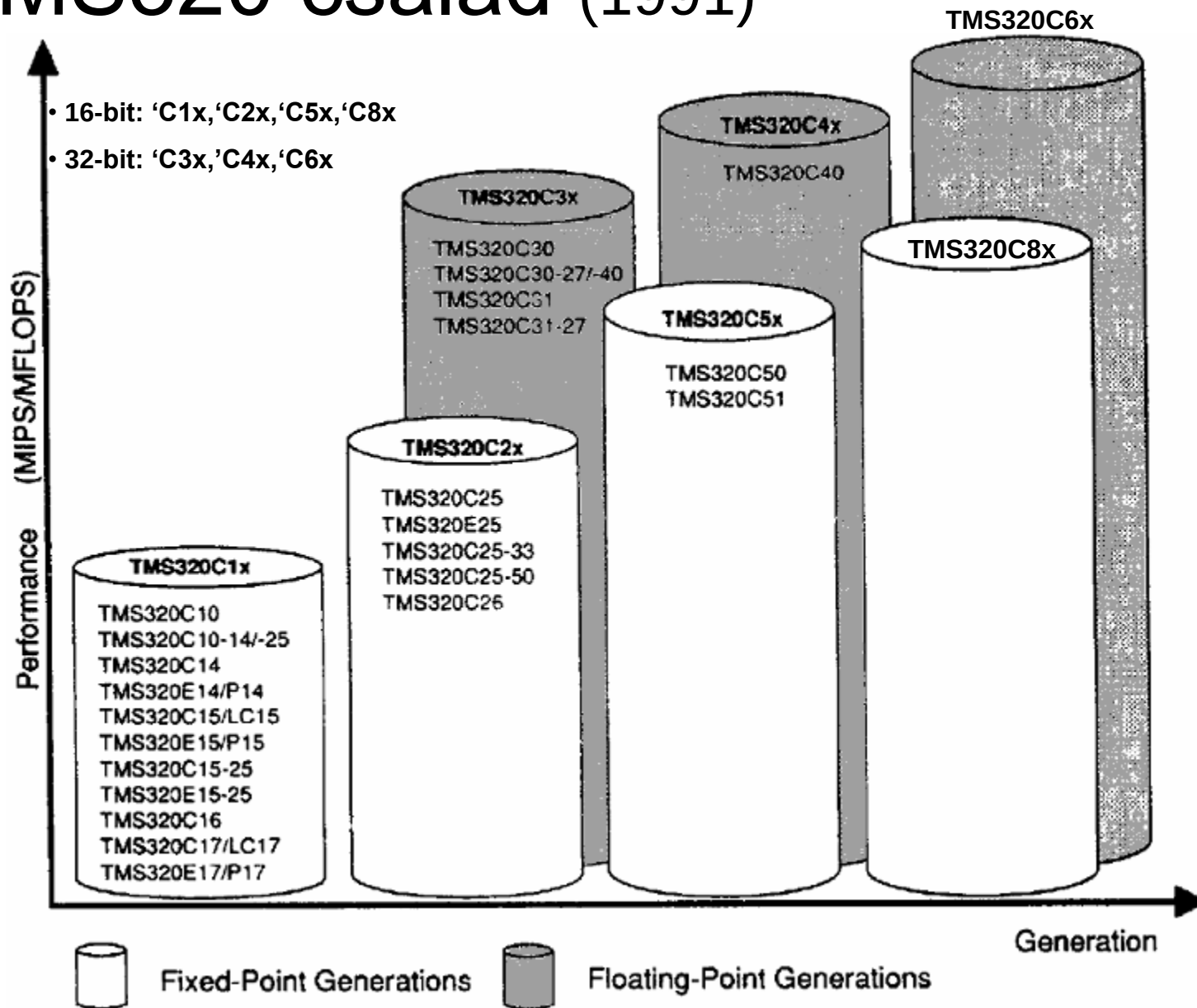
Milyen tulajdonságok szerint válasszuk ki a megfelelő DSP-t?



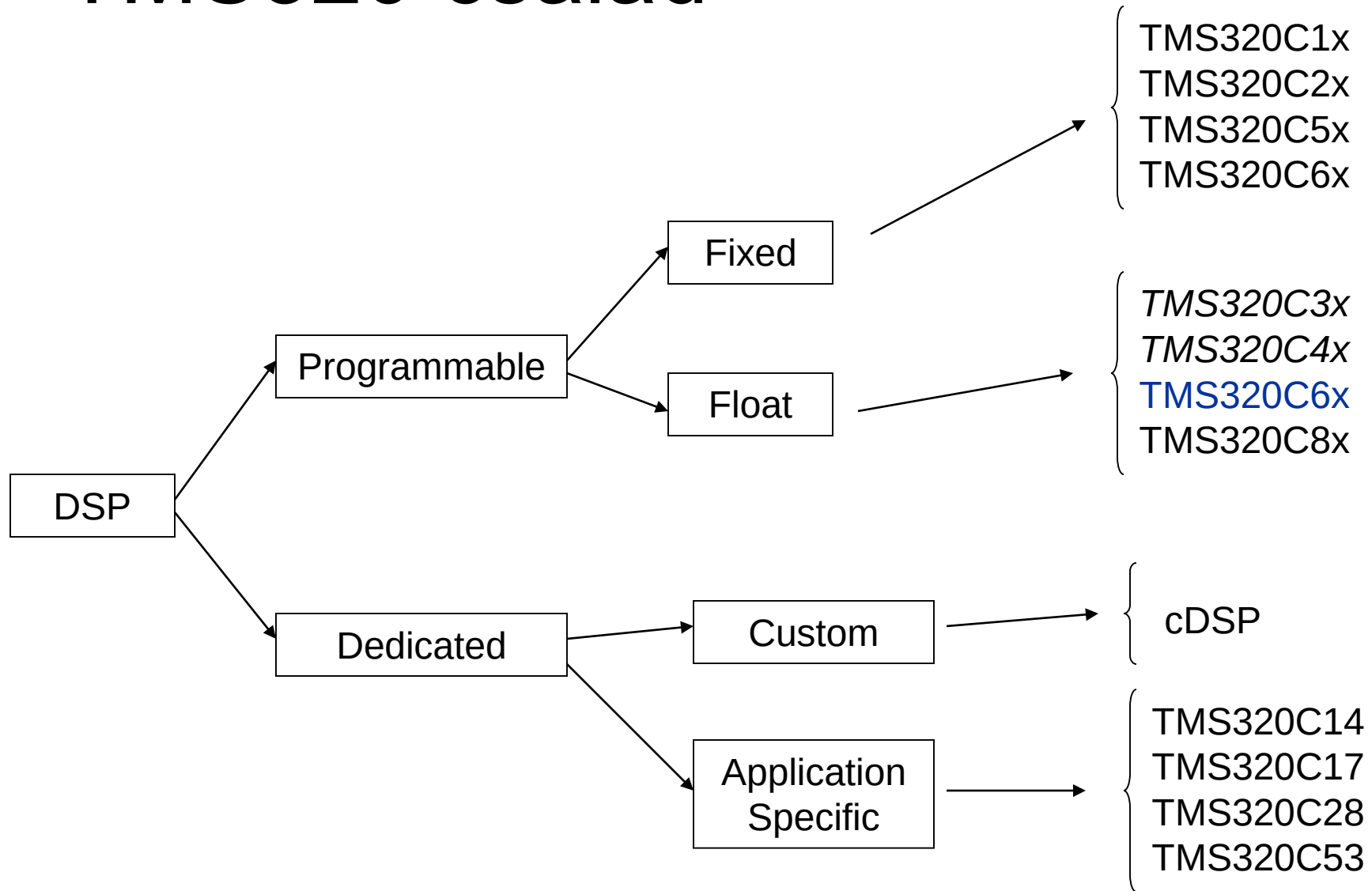
TMS320 Architectural Features

Feature	Benefit
Single-cycle instructions	High-sampling rates/control of high bandwidth systems
DSP instruction set	Real-time execution of advanced control algorithms
Multiple buses	Simultaneous access of data and instructions
Hardware multiplier	Minimize computational delays
Hardware Shifters/Floating point	Fast scaling/larger dynamic range
16/32 bit wordlength	Minimize quantization errors
32/40 bit arithmetic registers	Minimize truncation errors
Hardware Stack/ Shadow Registers	Fast interrupt processing
Saturation Mode	Prevent wrap around of accumulator
Parallel Logic Unit	Fast bit-manipulation

TMS320 család (1991)



TMS320 család



TMS320Cxx család (2006)

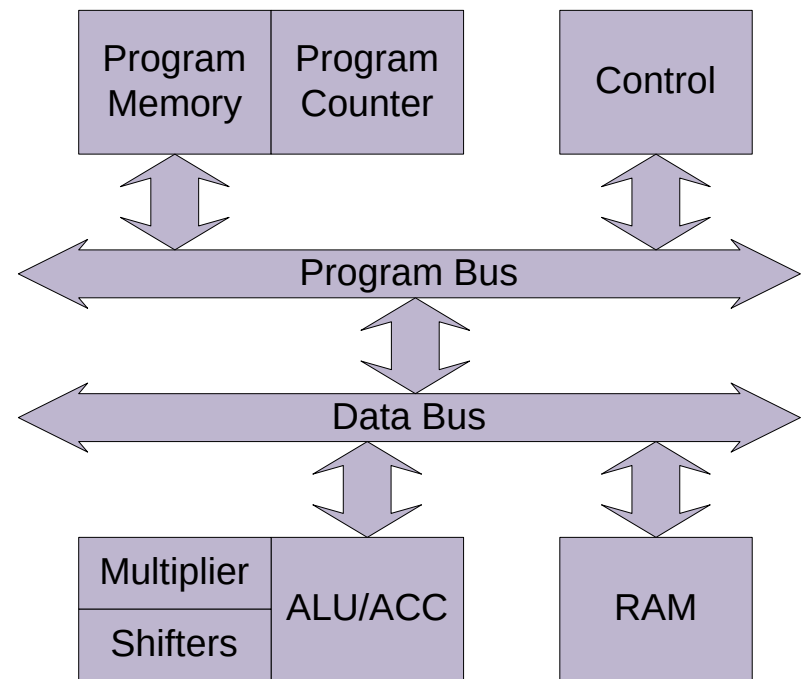
Típus	Adat	Jellemzők	Státusz
TMS320C1x	Fix-pontos	Elsőgenerációs DSP	Csak military
TMS320C2x	Fix-pontos	Első nagy szériás DSP	Élő/ népszerű
TMS320C3x	Lebegő-pontos	Első lebegőpontos DSP, DMA	Élő/ népszerű
TMS320C4x	Lebegő-pontos	4 db kommunikációs port, másik DSP felé, DSP tömb építése, DMA	Kifutó / drága
TMS320C5x	Fix-pontos	Első statikus CMOS design: low power	Élő
TMS320C6x	Fix/Lebegő pontos	Mai legmodernebb DSP-k. Nagyon széles utasítás szó (256 bit).	Élő
TMS320C8x	Lebegő-pontos	Első multimédiás 4 db TMS320C4x + RISC processzor (nem jött be, túl drága volt) – többmagos egység!	Csak military

DSP Product Tree (2007. május)

- **TMS320™ DSP Platforms (165)**
- **DaVinci™ Digital Media Processors (21)**
 - TMS320DM64x DSPs (8)
 - TMS320DM643x DSPs (10)
 - TMS320DM644x DSPs (3)
- **C6000™ High Performance DSPs (27)**
 - TMS320C6414T/15T/16T DSPs (21)
 - TMS320C645x DSPs (6)
- **C6000™ Performance Value DSPs (23)**
 - TMS320C6410/12/13/18 DSPs (8)
 - TMS320C642x DSPs (6)
 - TMS320C62x DSPs (9)
- **C6000™ Floating-point DSPs (27)**
 - TMS320C672x DSPs (17)
 - TMS320C67x DSPs (10)
- **C5000™ Power-Efficient DSPs (36)**
 - TMS320C54x DSPs (25)
 - TMS320C55x DSPs (11)
- **C2000™ High Performance 32-bit Controllers (29)**
 - TMS320F281x Controllers (8)
 - TMS320F280x Controllers (12)
 - TMS320LF240x Controllers (9)
- **Other TMS320™ DSPs (2)**
 - TMS320C33 DSPs (2)

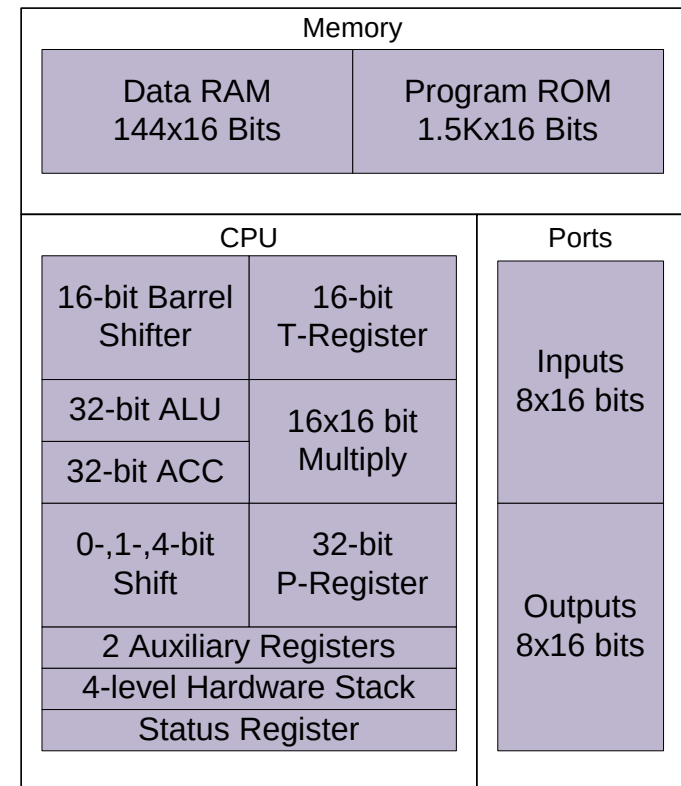
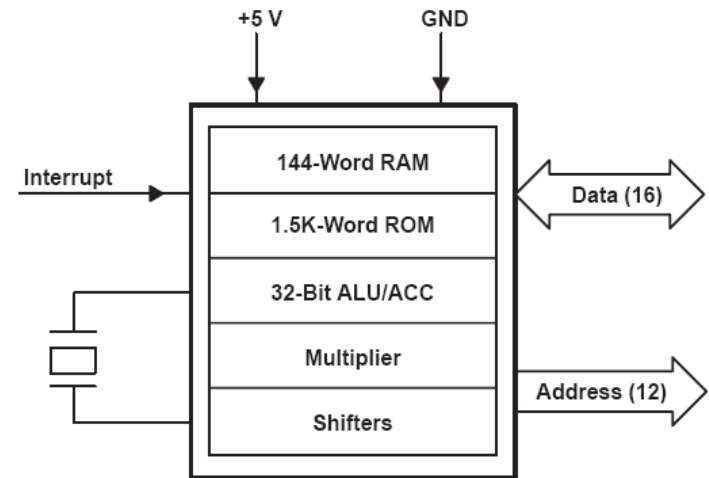
TMS320C1x High-Speed Architecture (1982)

- Advanced *Harvard architecture*
 - Separate data/program buses
 - „Parallel” instruction fetch/operand fetch/execute
- Parallel multiplier
- Multiple Shifters
- Automatic incrementing/decrementing registers
- Most cost effective solution
- Broad line of processors
- Optimized for specific high-performance applications (telecom, control and consumer)



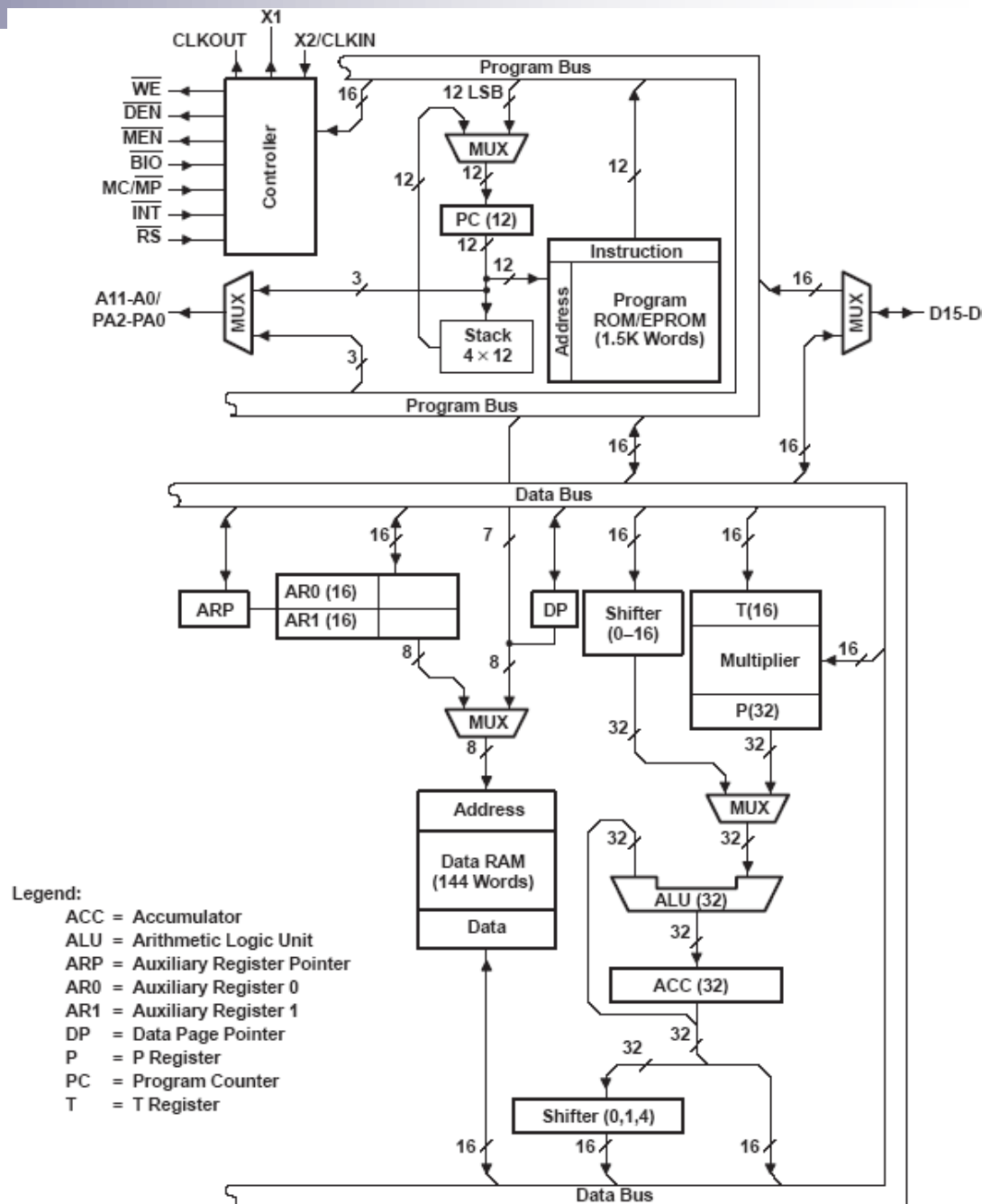
Első generációs DSP (1982): **TI320C10**

- Instruction Cycle Timing
 - — 160-ns (TMS320C10-25)
 - — 200-ns (TMS32010)
 - — 280-ns (TMS320C10-14)
- • 144 Words of On-Chip Data RAM
- • 1.5K Words On-Chip Program ROM
- • External Memory Expansion up to 4K Words Off-Chip Memory at Full Speed
- 60 General Purpose and DSP-specific instructions
 - 16 × 16-Bit Multiplier With 32-Bit Product (single-cycle)
 - 0 to 16-Bit Barrel Shifter
 - On-Chip Clock Oscillator
 - External interrupt and polled input pins
- Device Packaging:
 - — 40-Pin DIP
 - — 44-Lead PLCC
- • Single 5-V Supply
- • 8 16-bit I/O ports



TI320C10 blokk diagram

- Harvard architektúra
- 16-bites fixpontos MULT
- 16-bites Shifter
- 32-bites Akkumulátor
- 32-bites ALU
- Barrel-shifter (0-16)
- Specializált utasítás készlet
- 390ns (ma 228 ns) MAC time

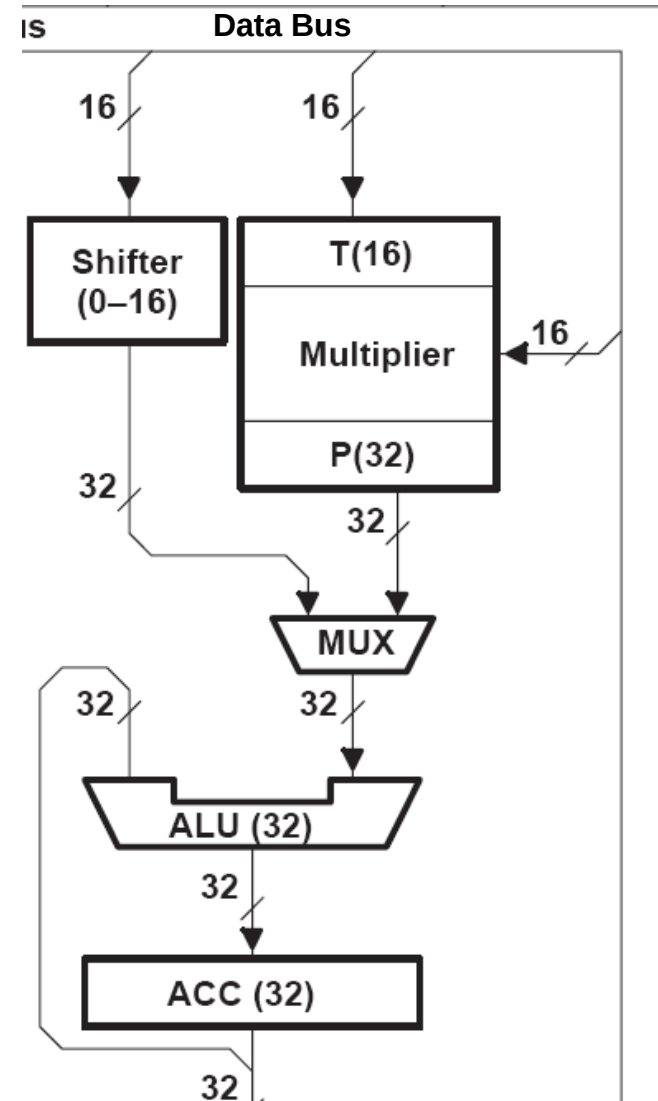


Example: FIR Filter (sum of products)

Compute: $Y[n] = A \cdot X[n-1] + B \cdot X[n-2] + C \cdot X[n-3] + D \cdot X[n-4]$

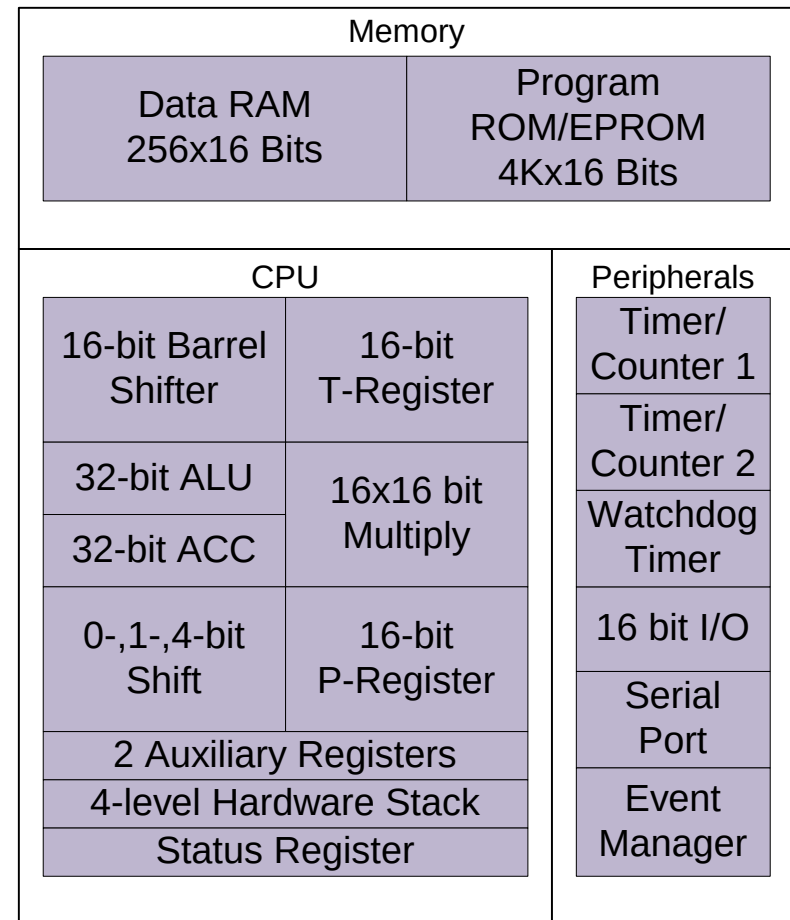
```
START    IN      X1, PA0 //new input sample
ZAC      //ACC=0
LT       X1      //T=X1
MPY      A       //P=A*X1
LTA      X2      //ACC=A*X1 , T=X2
MPY      B       //P=B*X2
LTA      X3      //ACC=A*X1+B*X2 , T=X3
MPY      C       //P=C*X3
LTA      X4      //ACC=A*X1+B*X2+C*X3 , T=X4
MPY      D       //P=D*X4
APAC     //ACC=A*X1+B*X2+C*X3+D*X4
SACH     Y       //STORE 32-bit result
           //at location Y

OUT      Y, PA0
B        START
```



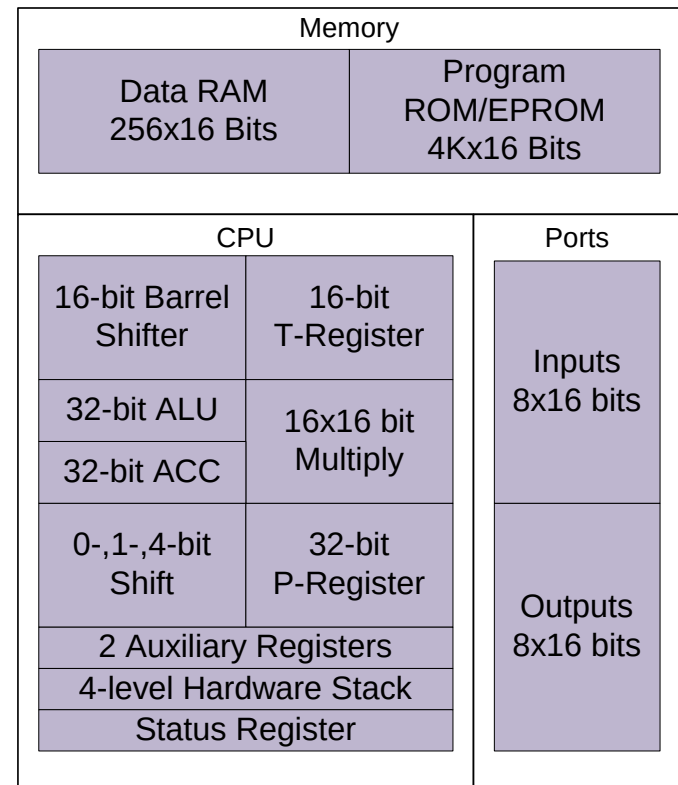
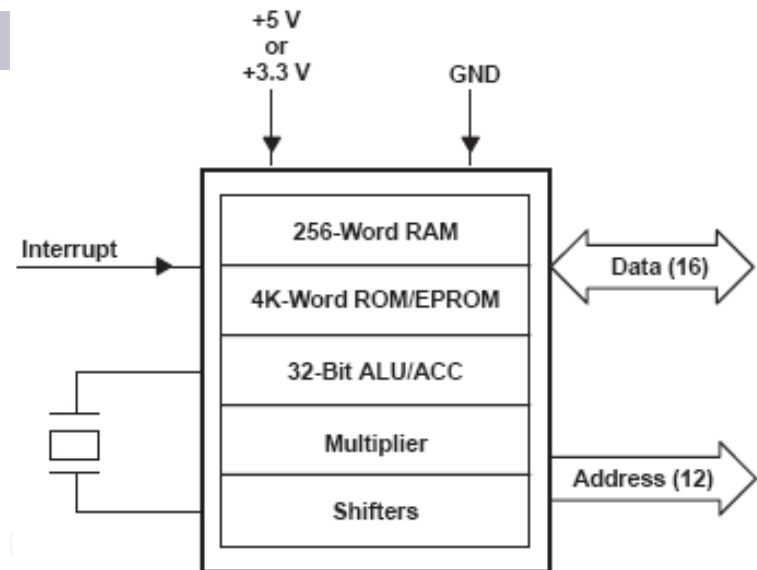
TI320C14/E14/P14

- Instruction Cycle Timing
 - — 160-ns
- 100% object-code compatible with TMS320C10/C15
- Timers and Counters
- Watchdog Timer
- Selectable I/O pins
- Serial Port
- Event Manager
- EPROM (E14) and OTP (P14)
- Microprocessor and microcomputer nodes



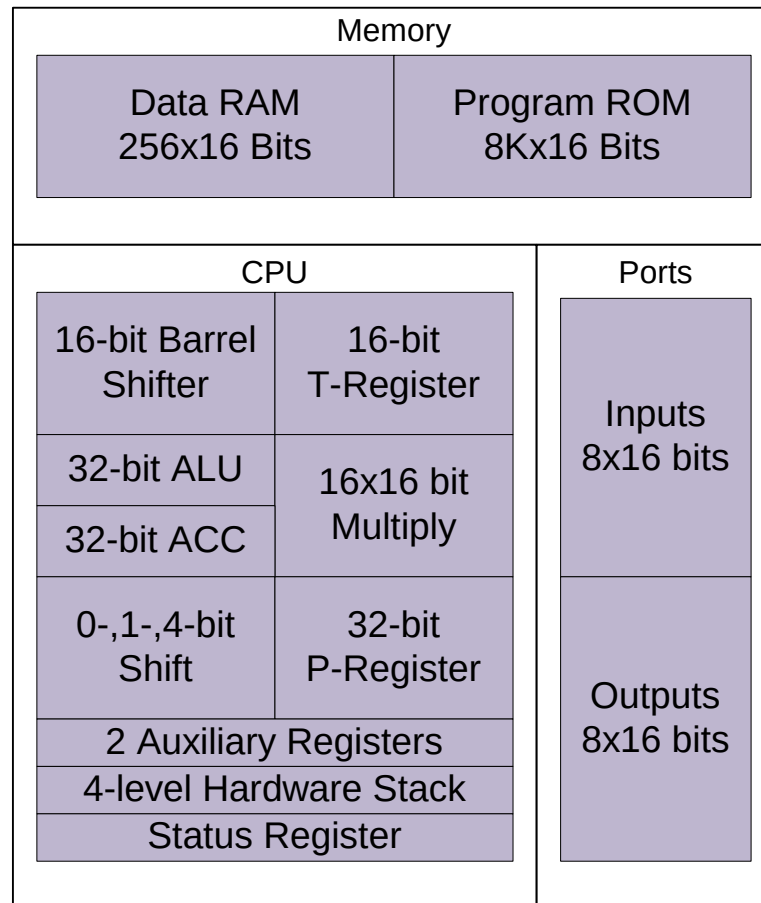
TMS320C15/E15/P15

- Instruction Cycle Timing:
 - — 160-ns (TMS320C15-25/E15-25)
 - — 200-ns (TMS320C15/E15/P15)
 - — 250-ns (TMS320LC15)
- • 256 Words of On-Chip Data RAM
- • 4K Words of On-Chip Program ROM (TMS320C15/C15-25/LC15)
- • 4K Words of On-Chip Program EPROM (TMS320E15/E15-25)
- • One-Time Programmable (OTP) Windowless EPROM Version Available (TMS320P15)
- • EPROM Code Protection for Copyright Security
- • External Memory up to 4K-Words at Full Speed
- • 16 × 16-Bit Multiplier With 32-Bit Product
- • 0 to 16-Bit Barrel Shifter
- • On-Chip Clock Oscillator
- • 3.3-V Low-Power Version Available (TMS320LC15)
- • Device Packaging:
 - — 40-Pin Dip (All Devices)
 - — 44-Lead PLCC (TMS320C15/C15-25/LC15/P15)
 - — 44-Lead-QUAD (TMS320E15/E15-25)



TMS320C16

- Instruction Cycle Timing:
 - — 114ns
- • 256 Words of On-Chip Data RAM
- • 8K Words of On-Chip Program ROM
- • External Memory up to 64K-Words at Full Speed
- • 16 × 16-Bit Multiplier With 32-Bit Product
- • 0 to 16-Bit Barrel Shifter
- Separate I/O and memory write enable signals
- • On-Chip Clock Oscillator
- • Device Packaging:
 - — 64-Pin PQFP



TMS320C1x Device Overview (1991)

DEVICE	MEMORY				I/O		CYCLE (ns)	PACKAGE (1)		
	RAM	ROM	EPROM	PROG.	SERIAL	PARALLEL		DIP	PLCC	CER-QUAD
TMS320C10 (2)	144	1.5K	—	4K	—	8 × 16	200	40	44	—
TMS320C10-14	144	1.5K	—	4K	—	8 × 16	280	40	44	—
TMS320C10-25	144	1.5K	—	4K	—	8 × 16	160	40	44	—
TMS320C14 (3)	256	4K	—	4K	1	7 × 16 (4)	160	—	68	—
TMS320E14 (3)	256	—	4K	4K	1	7 × 16 (4)	160	—	—	68 CER
TMS320P14†	256	—	4K	4K	1	7 × 16 (4)	160	—	68	—
TMS320C15 (3)	256	4K	—	4K	—	8 × 16	200	40	44	—
TMS320C15-25	256	4K	—	4K	—	8 × 16	160	40	44	—
TMS320E15 (3)	256	—	4K	4K	—	8 × 16	200	40	—	44 CER
TMS320E15-25	256	—	4K	4K	—	8 × 16	160	40	—	44 CER
TMS320LC15	256	4K	—	4K	—	8 × 16	250	40	44	—
TMS320P15†	256	—	4K	4K	—	8 × 16	200	40	44	—
TMS320C16	256	8K	—	64K	—	8 × 16	114	—	—	64 QFP
TMS320C17	256	4K	—	—	2	6 × 16 (5)	200	40	44	—
TMS320E17 (5)	256	—	4K	—	2	6 × 16 (5)	200	40	—	44 CER
TMS320LC17 (5)	256	4K	—	—	2	6 × 16 (5)	278	40	44	—
TMS320P17 (5)†	256	—	4K	—	2	6 × 16 (5)	200	40	44	—

† One-time programmable (OTP) device is in a windowless plastic package and cannot be erased.

NOTES: 1. DIP = dual in-line package. PLCC = plastic-leaded chip carrier. CER = ceramic-leaded chip carrier. QFP = plastic quad flat pack.

2. Military version available.

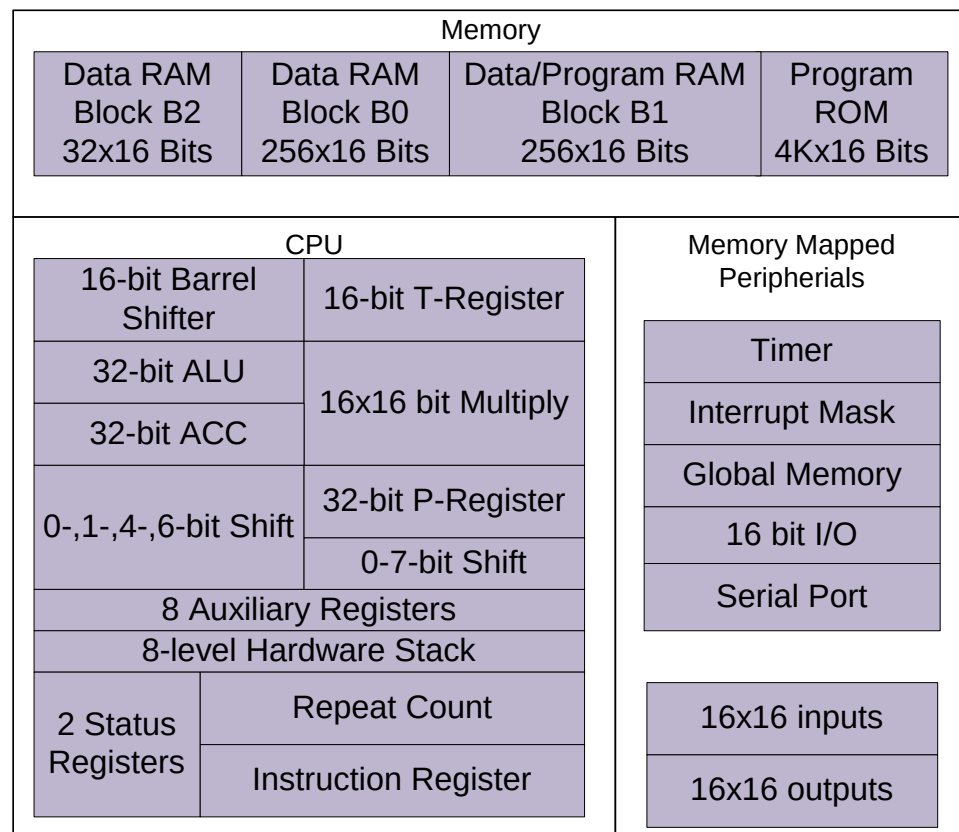
3. Military versions planned; contact nearest TI Field Sales Office for availability.

4. On-chip 16-bit I/O, four capture inputs, and six compare outputs are available.

5. On-chip 16-bit coprocessor interface is optional by pin selection.

TMS320C25 Key Features – 2nd. generation (1990)

- 100-ns / 80-ns Instruction Cycle Times
- 544 Words of Programmable On-Chip Data RAM (B0-B2)
- 4K Words of On-Chip Program ROM
- 128K Words of total memory space
- 133 general purpose and DSP instructions
- 16 Input and 16 Output Channels
- 16-Bit Parallel Interface
- 16-Bit Instruction and Data Words
- 16 × 16-Bit Multiplier With a 32-Bit Product
- 32-Bit ALU and Accumulator
- Single-Cycle Multiply/Accumulate Instructions
- 0 to 16-Bit Scaling Shifter
- Bit Manipulation and Logical Instructions
- Floating-Point Operations, Adaptive Filtering, and Extended-Precision Arithmetic
- Repeat Instructions for Efficient Use of Program Space
- Eight Auxiliary Registers and Dedicated Arithmetic Unit for Indirect Addressing
- Serial Port for Direct Code Interface
- Synchronization Input for Synchronous Multiprocessor Configurations
- Wait States for Communication to Slow-Off-Chip Memories/Peripherals
- On-Chip Timer for Control Operations
- Three External Maskable User Interrupts
- 1.6-μm CMOS Technology
- Programmable Output Pin for Signaling External Devices
- Single 5-V Supply
- HLL: High-level language



TMS320C25 Device Overview

(1990)

DEVICE		MEMORY				I/O†			TIMER	CYCLE TIME (ns)	TYP POWER (mW)	PACKAGE TYPE		
		ON-CHIP		OFF-CHIP								PGA	PLCC	CER-QUAD
		RAM	ROM/EPROM	PROG	DATA	SER	PAR	DMA						
TMS32020‡	(NMOS)	544	—	64K	64K	YES	16 × 16	YES	YES	200	1250	68	—	—
TMS320C25‡	(CMOS)	544	4K	64K	64K	YES	16 × 16	CON	YES	100	500	68	68	—
TMS320C25-50§	(CMOS)	544	4K	64K	64K	YES	16 × 16	CON	YES	80	500	—	68	—
TMS320E25§	(CMOS)	544	4K	64K	64K	YES	16 × 16	CON	YES	100	500	—	—	68

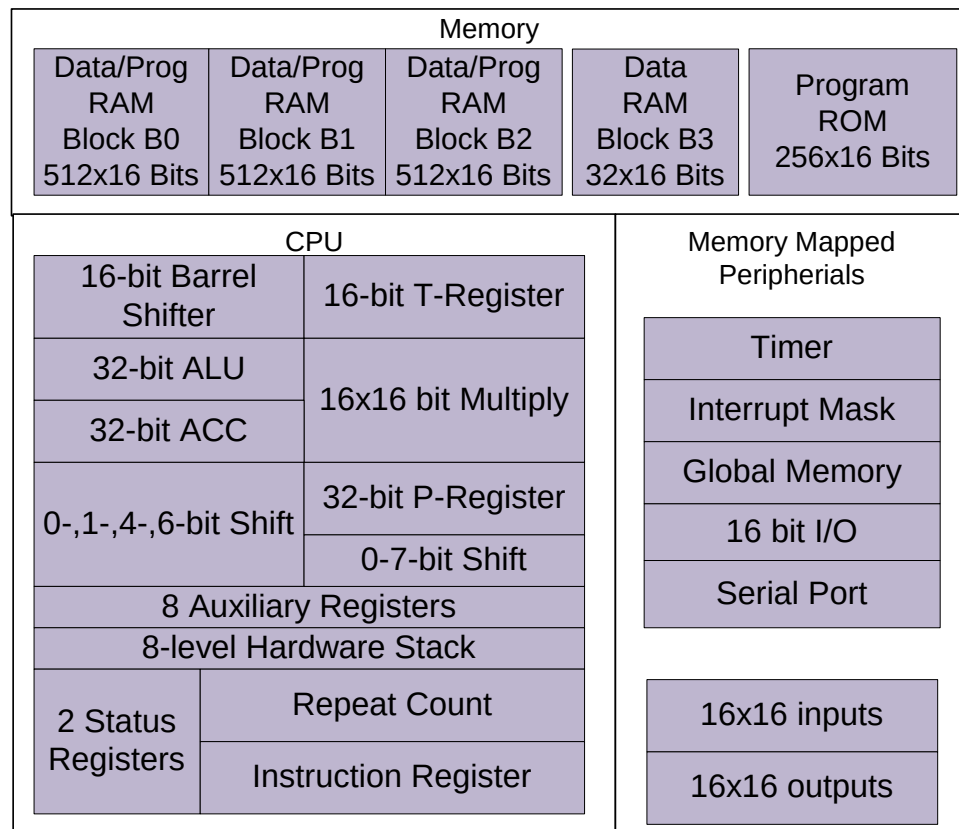
† SER = serial; PAR = parallel; DMA = direct memory access; CON = concurrent DMA.

‡ Military version available; contact nearest TI Field Sales Office for availability.

§ Military version planned; contact nearest TI Field Sales Office for details.

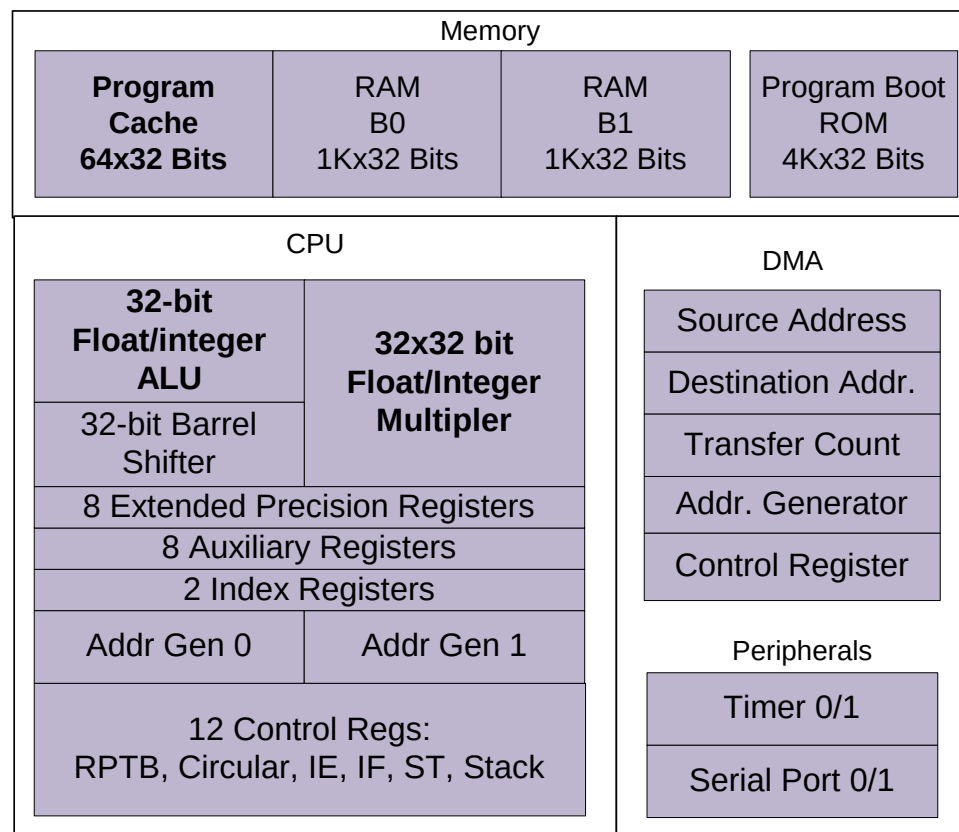
TMS320C26 Key Features

- 100-ns Instruction Cycle Times
- 1,5K Words of On-Chip Data/Program RAM (B1-B3)
- Floating-Point Operations, Adaptive Filtering, and Extended-Precision Arithmetic
- 32 Words of On-chip Data RAM (B3)
- 256 Words of On-Chip Program ROM
- 128K Words of total memory space
- 133 general purpose and DSP instructions
- 16 Input and 16 Output Channels
- 16-Bit Parallel Interface
- 16-Bit Instruction and Data Words
- 16 × 16-Bit Multiplier With a 32-Bit Product
- 32-Bit ALU and Accumulator
- Single-Cycle Multiply/Accumulate Instructions
- 0 to 16-Bit Scaling Shifter
- Bit Manipulation and Logical Instructions
- Repeat Instructions for Efficient Use of Program Space
- Eight Auxiliary Registers and Dedicated Arithmetic Unit for Indirect Addressing
- Serial Port for Direct Code Interface
- Synchronization Input for Synchronous Multiprocessor Configurations
- Wait States for Communication to Slow-Off-Chip Memories/Peripherals
- On-Chip Timer for Control Operations
- Three External Maskable User Interrupts
- 1.6-μm CMOS Technology
- Programmable Output Pin for Signaling External Devices
- Single 5-V Supply
- HLL: High-level language



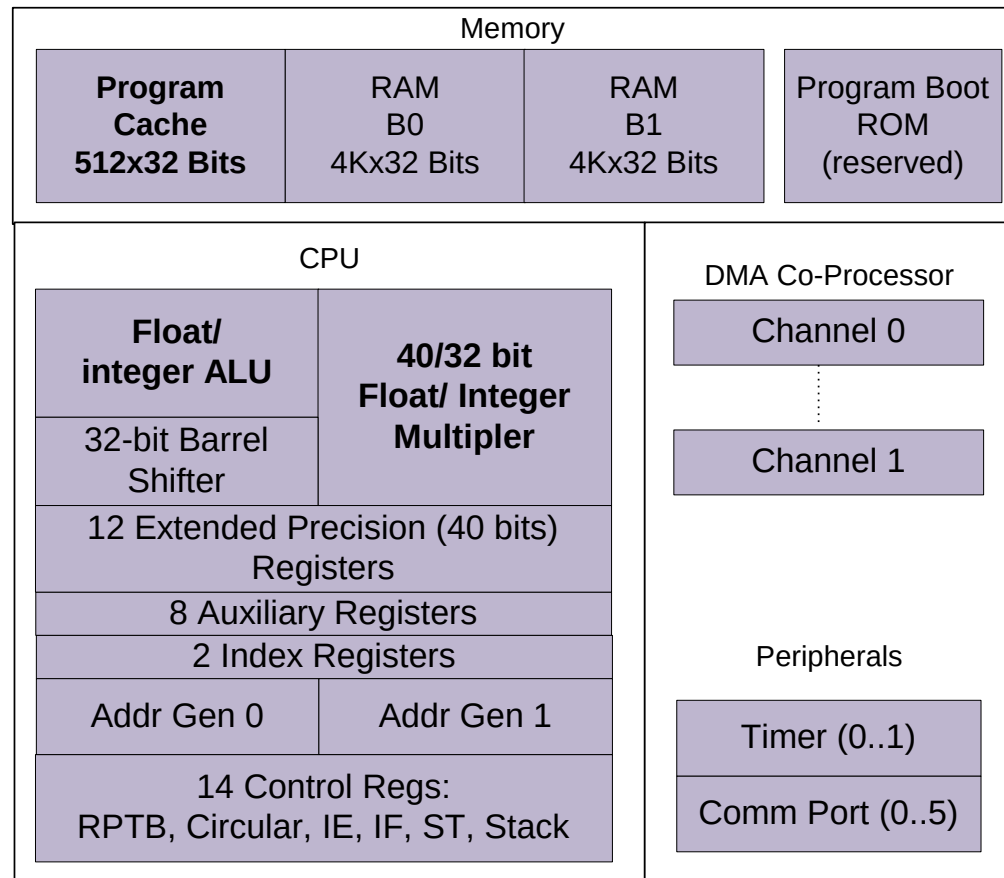
TMS320C3x Key Features (1999 upd.)

- **Parallel DSP CPU!**
- 25-75 ns instruction cycle time
- Single-cycle MAC
- 16-/32-Bit Integer and 32-/40-Bit Floating-Point Operations
- 40-50 (max 80 MFLOPS)
- Max 440 MOPS
- 16M words external address reach
- ANSI-C compiler
- 0.8- μ m CMOS Technology



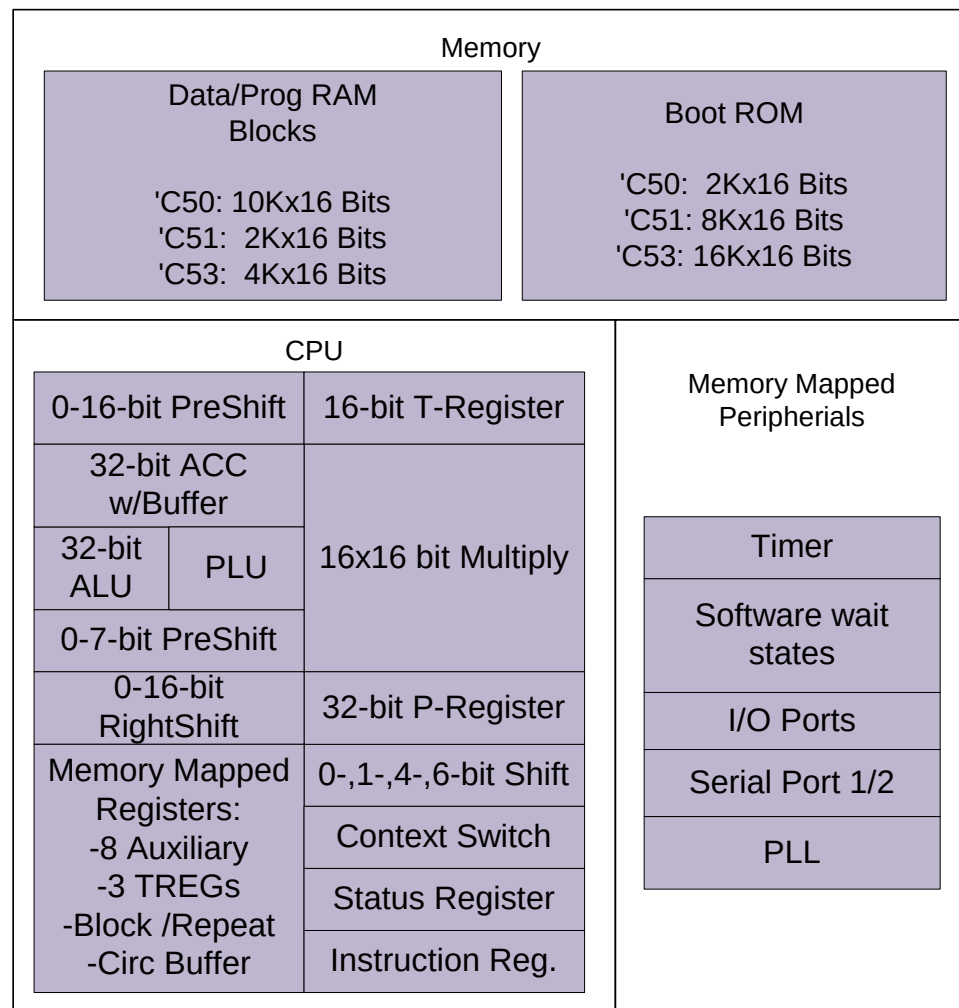
TMS320C40 Key Features (2004 upd.)

- **High-speed Parallel DSP CPU!**
(8 operations/cycle)
 - Floating point/integer multiply
 - Floating point/integer addition
 - Two data accesses
 - Two address register updates
 - Zero overhead branch and loop counter update
- 33-50 ns cycle-time
- Max. 330 MOPS, max. 60 MFLOPS
- 40-Bit Floating-Point
- 32-Bit Integer Multipliers
- 512-byte On-chip Program CACHE
- 8K Bytes of Single-Cycle Dual-Access Program or Data RAM
- IEEE-754 Floating Point Format
- DIV and SQRT support /clk
- 6-channel DMA coprocessor
- 6 communication ports
- 325-pin CPGA package
- 0.8- μ m CMOS Technology



TMS320C5x Key Features (1996 upd.)

- Source code compatible with the TMS320C1x/C2x
- 25/ 50ns instruction cycle
- 50 MIPS
- 16-bit PLU (Parallel Logic Unit) – bit manipulation
- Expanded blocks of on-chip data/program RAM and program ROM
- Single-cycle MAC
- 192K words of addressable total memory
- Added general purpose and DSP specific instructions
- 1.6- μ m CMOS Technology (132-pin QFP package)
- JTAG test/emulation control
- ANSI C compiler



TMS320C5x Device Overview (1996)

TMS320 DEVICES	ON-CHIP MEMORY (16-BIT WORDS)				I/O PORTS		POWER SUPPLY (V)	CYCLE TIME (ns)	PACKAGE TYPE QFP‡
	DARAM		SARAM	ROM					
	DATA	DATA + PROG	DATA + PROG	PROG	SERIAL	PARALLEL†			
TMS320C50	544	512	9K	2K§	2	64K	5	50/35/25	132 pin
TMS320LC50	544	512	9K	2K§	2	64K	3.3	50/40/25	132 pin
TMS320C51	544	512	1K	8K§	2	64K	5	50/35/25/20	100/132 pin
TMS320LC51	544	512	1K	8K§	2	64K	3.3	50/40/25	100/132 pin
TMS320C52	544	512	–	4K§	1¶	64K	5	50/35/25/20	100 pin
TMS320LC52	544	512	–	4K§	1¶	64K	3.3	50/40/25	100 pin
TMS320C53	544	512	3K	16K§	2	64K	5	50/35/25	132 pin
TMS320LC53	544	512	3K	16K§	2	64K	3.3	50/40/25	132 pin
TMS320C53S	544	512	3K	16K§	2¶	64K	5	50/35/25	100 pin
TMS320LC53S	544	512	3K	16K§	2¶	64K	3.3	50/40/25	100 pin
TMS320LC56	544	512	6K	32K	2 #	64K	3.3	35/25	100 pin
TMS320LC57	544	512	6K	32K	2 #	64K + HPI	3.3	35/25	128 pin
TMS320C57S	544	512	6K	2K§	2 #	64K + HPI	5	50/35/25	144 pin
TMS320LC57S	544	512	6K	2K§	2 #	64K + HPI	3.3	50/35	144 pin

† Sixteen of the 64K parallel I/O ports are memory mapped.

‡ QFP = Quad flatpack

§ ROM boot loader available

¶ TDM serial port not available

Includes auto-buffered serial port (BSP) but TDM serial port not available

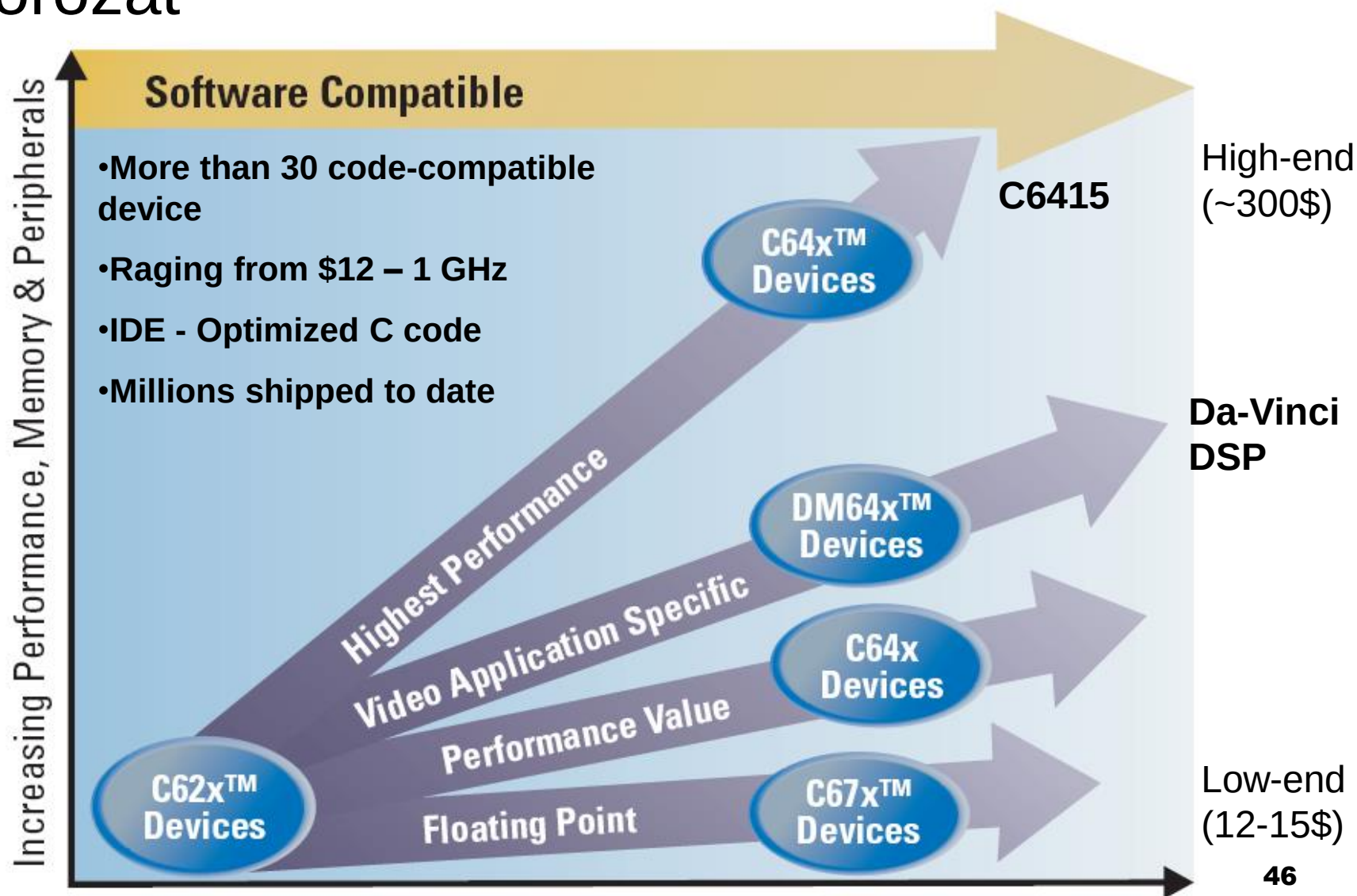
|| HPI = Host port interface

Texas Instruments TMS320C6000 – nagyteljesítményű processzor család



www.ti.com

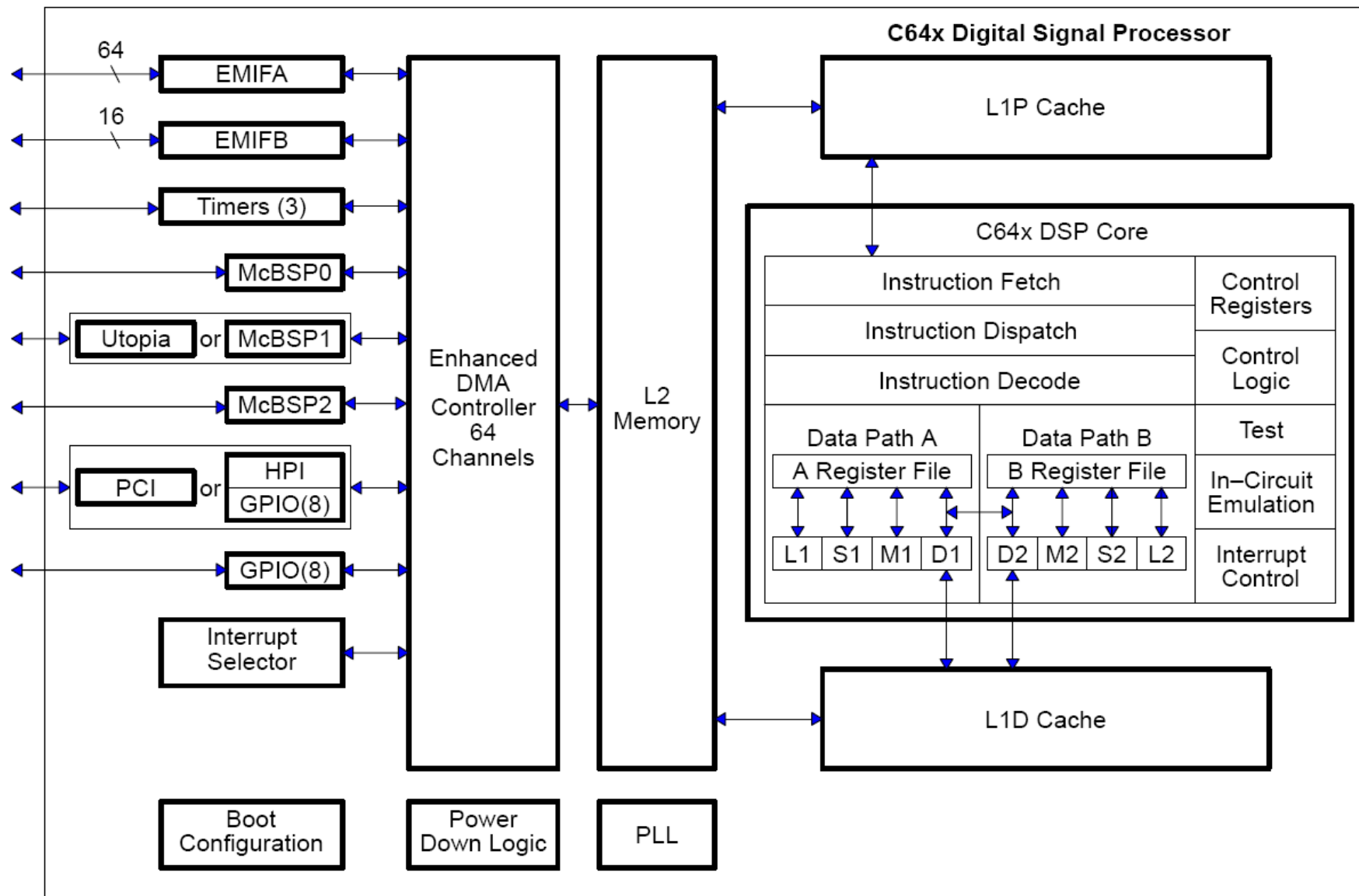
Modern DSP architektúrák: TI C6000 sorozat



A TMS320C64x gyártási paramétereit

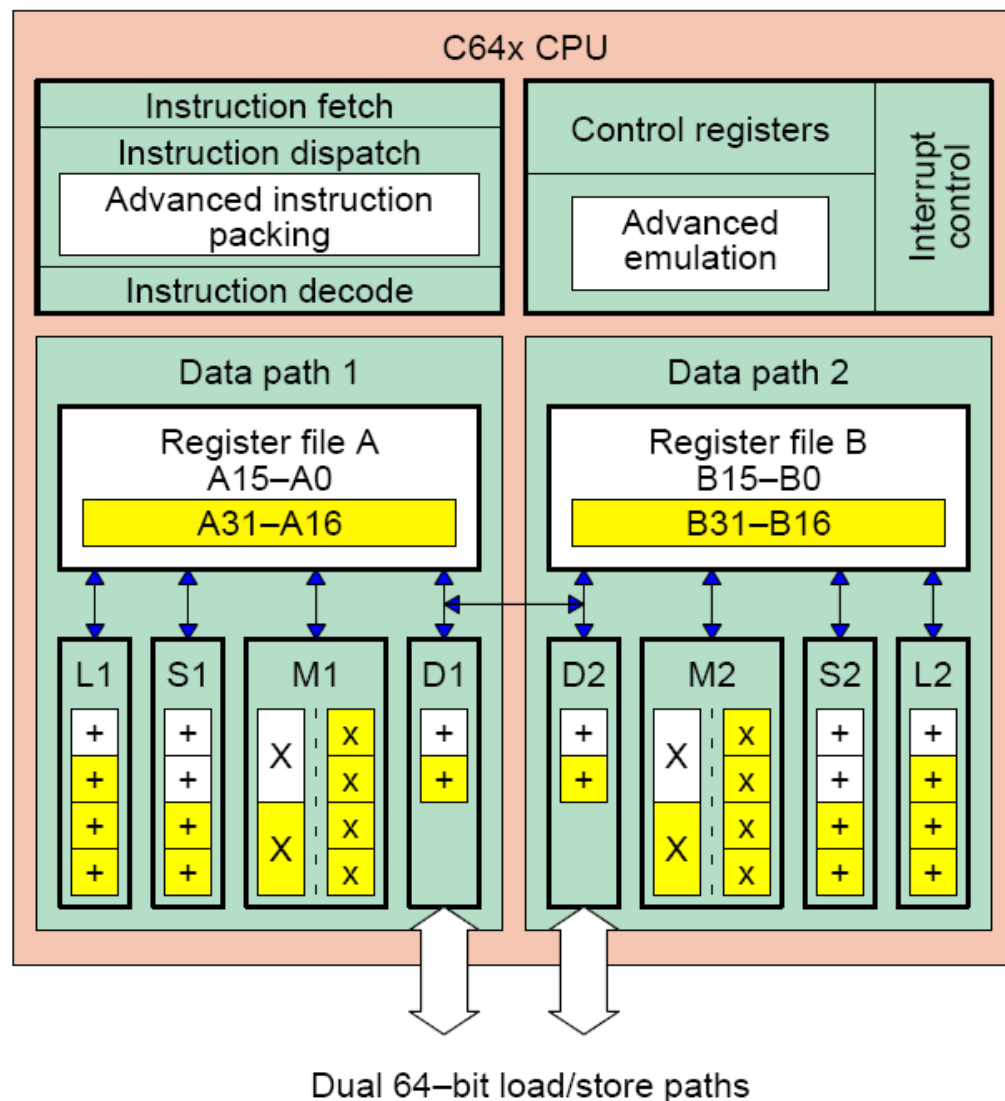
- 600 /720 /850 MHz and 1- GHz Clock Rate
- 90 nm/ 7- Level Cu Metal Process (CMOS)
- Power consumption @1GHz ~1W
- 1GHz mass production started 2004 Q4
- 532 Pin - Ball Grid Array

A C6415 DSP architektúrája



C64x processzor magja

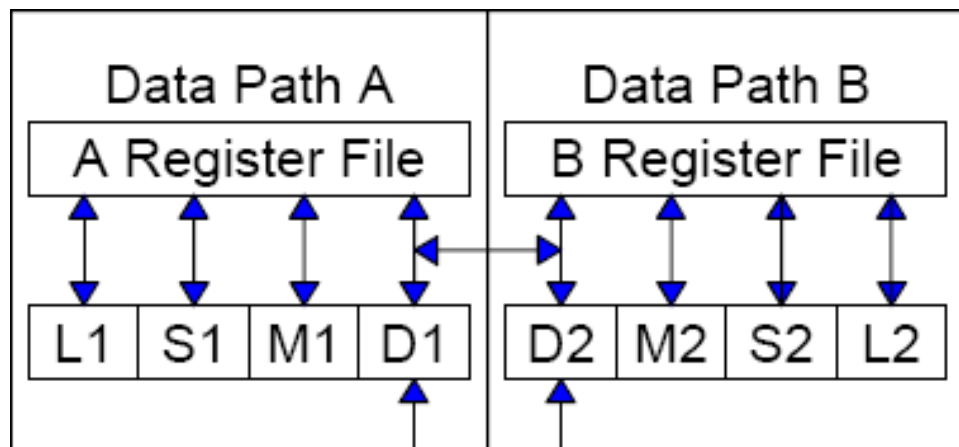
- 2 Regiszter bank
- 8 Processzáló egység
 - L, S, M, D (2 x 4)
 - Változó bitmélységű műveletek (16, 8)
- 2 Adatútvonat
- Keresztirányú adatútvonalak
- Speciális utasítások
 - (VelociTI.2 extensions)



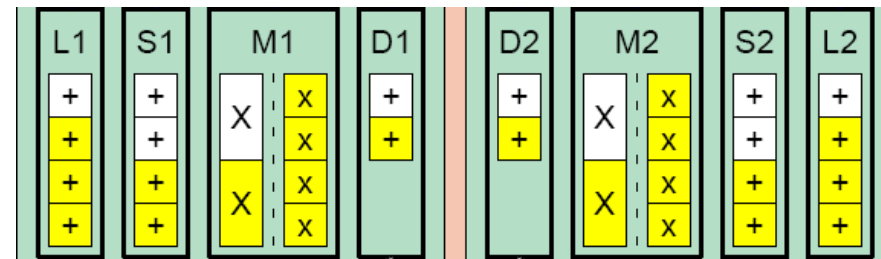
C64x processzor magja (folyt):

Regiszter bankok

- Két regiszter bank (A,B)
 - Duális struktúra
- 32db 32-bites regiszter mindkét bankban
- Három regiszter típus
 - Feltétel regiszter (3 db/regiszterbank)
 - Körkörös címregiszter (4 db/regiszterbank)
 - Adatregiszter



C64x Processzáló egységek



M1, M2 egységek

Szorzó összeadó (MAC) egység

16 x 32 multiply operations

Dual and quad multiply operations

Dual and quad multiply with
add/subtract operations (MAC)

Rotation

Variable shift operations

S1, S2 egységek

Aritmetika, komprálások, elágazások

32-bit arithmetic and logical operations

32/40-bit shifts

Branches

Dual and quad compare operations

Dual and quad saturated arithmetic
operations

L1, L2 egységek

Logikai és aritmetikai egység

32/40-bit arithmetic and compare ops

32-bit logical operations

Byte shifts

Dual /quad arithmetic operations

Dual /quad min/max operations

Quad 8-bit subtract with absolute value

D1, D2 egységek

Címaritmetikai egység

32-bit add, subtract, linear and circular
address calculation

Loads and stores single and double
words with constant offset

32-bit logical operations

Dual 16-bit arithmetic operation

C6415 magja: adatút 'A'

2x32 bit input (L,S,M,D)

32 bit output (L,S,M,D)

Extra 8 bit I/O (L,S)

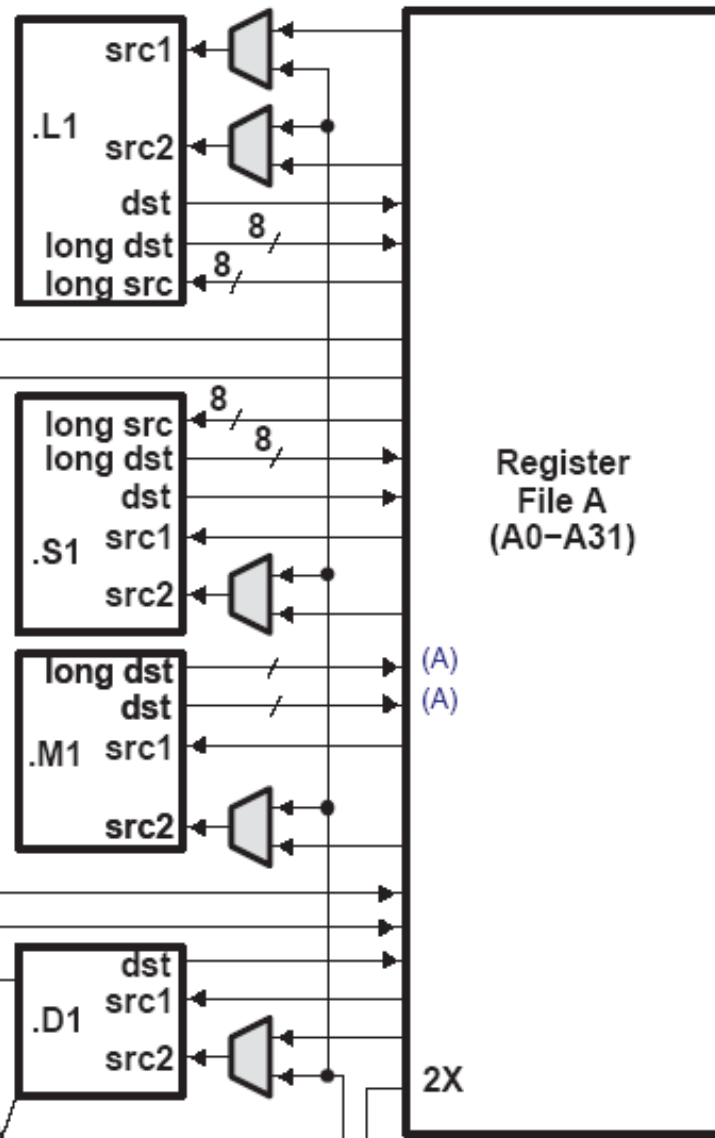
ST1b (Store Data) ← 32 MSBs /
ST1a (Store Data) ← 32 LSBs /

32-bit kereszt adatút

2x64 bit I/O a
regiszterbankok és az LD
cache között

LD1b (Load Data) ← 32 MSBs /
LD1a (Load Data) ← 32 LSBs /

DA1 (Address) ←



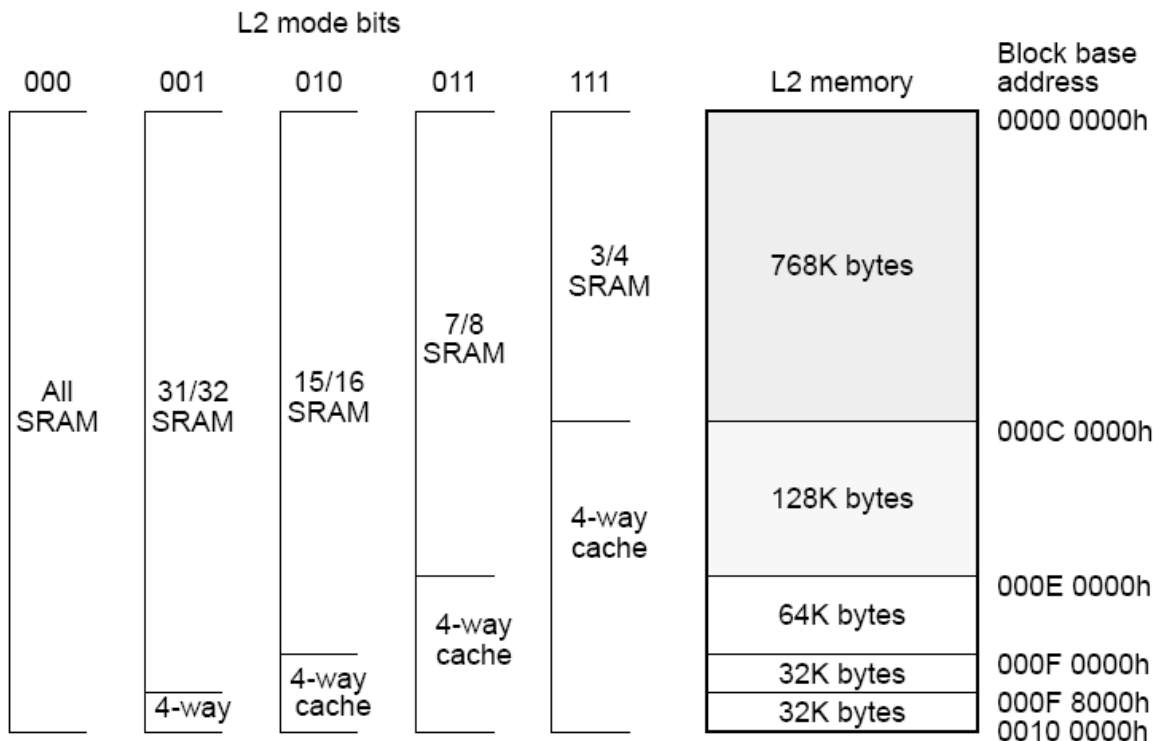
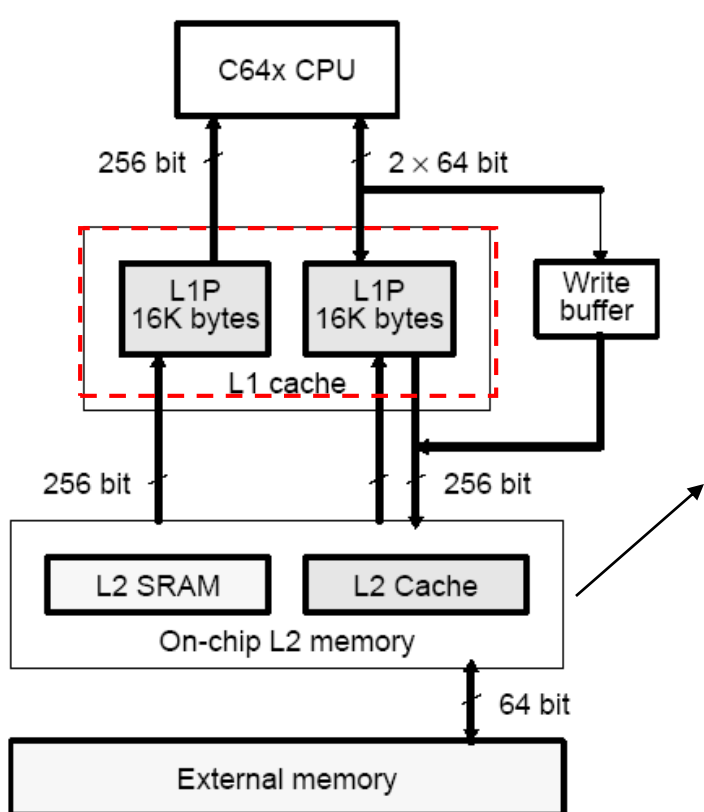
C64x Utasításbusz

- Mind a 8 processzornak 32 bites az utasításkód szélessége → 256 bit széles utasításbusz
 - Ez egyetlen busz, azaz az a különböző processzorok nem ágazhatnak el önállóan!
 - Tipikus C kódnál 2-3 processzor megy egyszerre.

C64x: L1, L2 Cache-memória

L1 cache (2x16K):
külön adat és
programtár

L2 cache (1024K):
konfigurálható



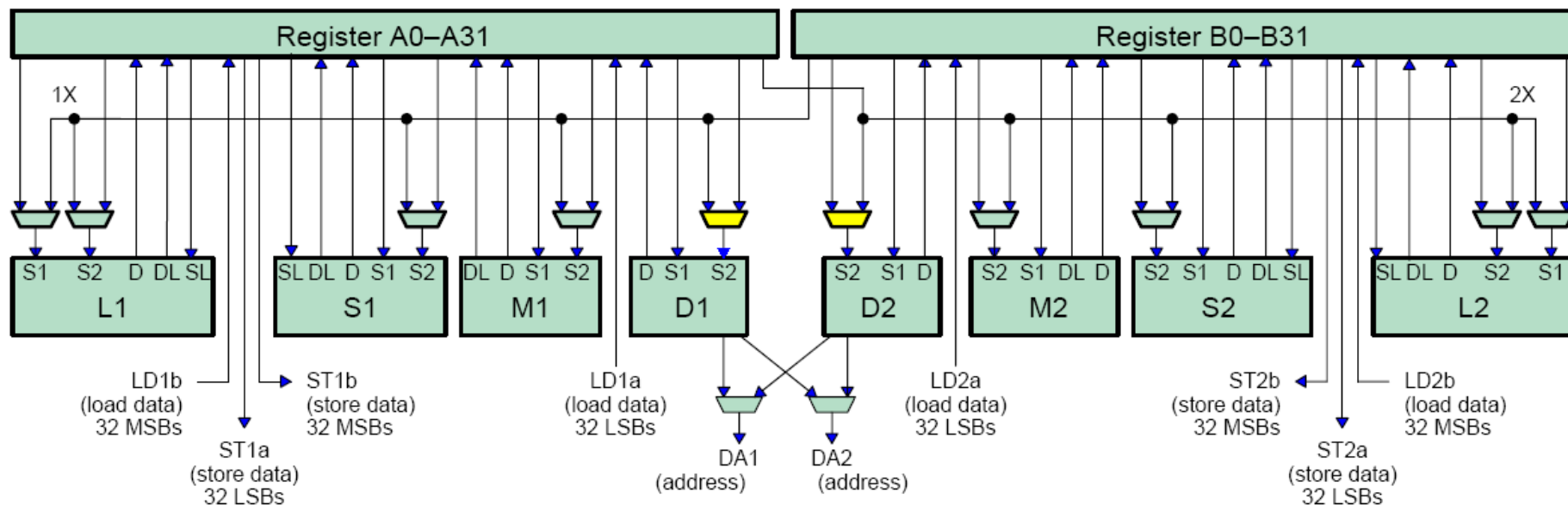
C64x mag: Keresztirányú adatútvonalak

C64x CPU – VelociTI.2

New cross path

40-bit write paths (8 MSBs, DL; 32 LSBs, D)

40-bit read paths (8 MSBs, SL; 32 LSBs, S2)



A C64x processzorok DMA-ja

- DSP minden I/O kérést a DMA-n keresztül éri el
- 64 DMA csatorna
- Összesen 2 Gbyte/sec
- Kapcsolt DMA csatorna (linking)
 - Eseményhez csatolt DMA csatorna, amelyik automatikusan indul az esemény hatására (intr)
- Láncolt DMA csatorna (chaining)
- DMA csatorna egy másik DMA transzfer végén indul (loop lánc)
- Egyszeri inicializálás után önjáró DMA-k
- Körkörös, illetve ping-pong adatterületek
- 1D-2D csatornák
 - – Képből egy részkép kivágása, sorfolytonos olvasással

Négy független DMA queue

- Concurrency (4 független – konkurens sor)
- Channels on different queues can interleave transfers on a cycle by cycle basis. e.g.:
 - cycle 1 queue 0
 - service a L2 cache miss to EMIFA (64 bit)
 - cycle 2 queue 1
 - Move data from a serial port to EMIFB (16 bit)
 - cycle 3 queue 3
 - the PCI/HPI could transfer data to mapped internal memory.
 - cycle 4 queue 4
 - the EMIFA could move data to a serial port (RS232)

A C64x processzorok perifériái

Három párhuzamos busz

- 64 bites (EMIFA), és egy 16 bites (EMIFB)
 - 3-3 memória vezérlő
 - SDRAM vezérlő
 - Szinkron vezérlő (szinkron burst SRAM, stb)
 - aszinkron vezérlő (SRAM, FIFO, egyéb periféria)
 - HPI vagy PCI interface
- Programozható I/O csatorna (GPIO)
- Három soros port (McBSPx)
 - Kapcsolat perifériákhoz, és más C64x processzorhoz

Texas Instruments TMS320DM64xx – Da Vinci DSP család & SW Tools



www.ti.com

TI Da-Vinci Digital Media processzorcsalád

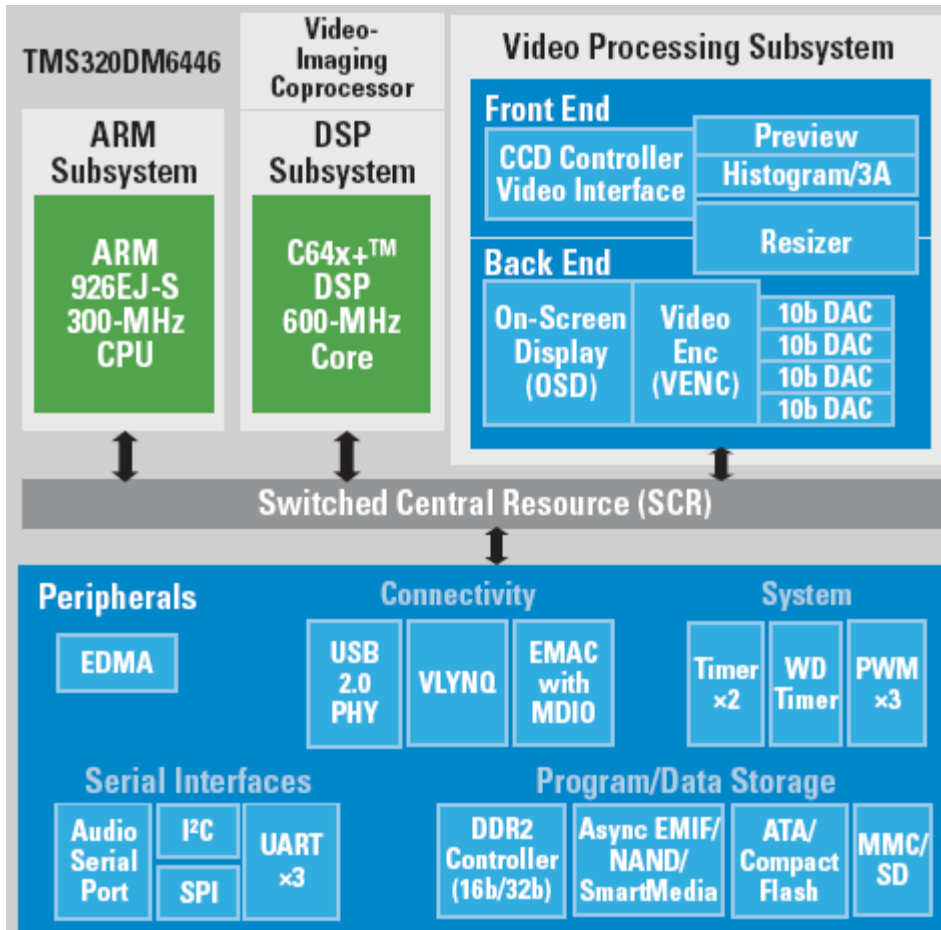


- **Da-Vinci DSP: tailored for digital video applications**
- **TMS320DM644x: highest integrated SoC**
 - video phones, automotive infotainment, digital stillcameras, streaming media and IP settop boxes.
- **TMS320DM643x: low cost processor**
 - Automotive video applications (lane departure and collision avoidance)
 - Machine-vision systems
 - Robotics
 - Video security
- **Beépített kódolás/dekódolási módok:**
 - H.264, MPEG-4, JPEG, AAC, MP3, G.711, HE-AAC, AC3, WMA9 stb.

TI DM643x és DM644x sorozat



TMS320DM6446 Da-Vinci DSP

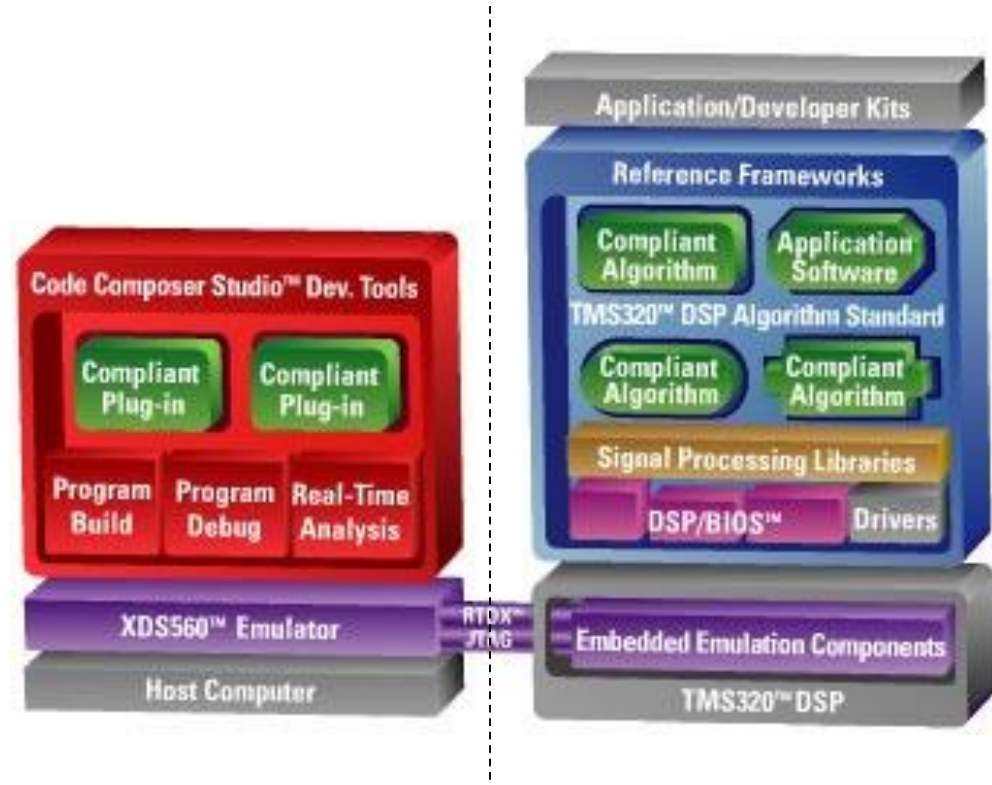
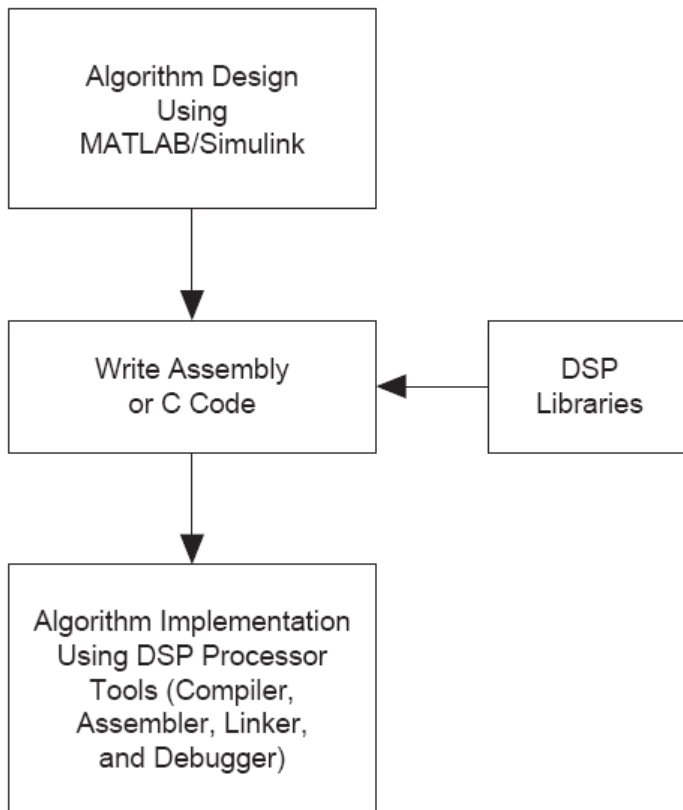


- DVEVM: Digital Video Evaluation Module (HW) ~ 2500\$
- SDK SW Tools: 7000\$ - 11000\$ (2007 Q2)

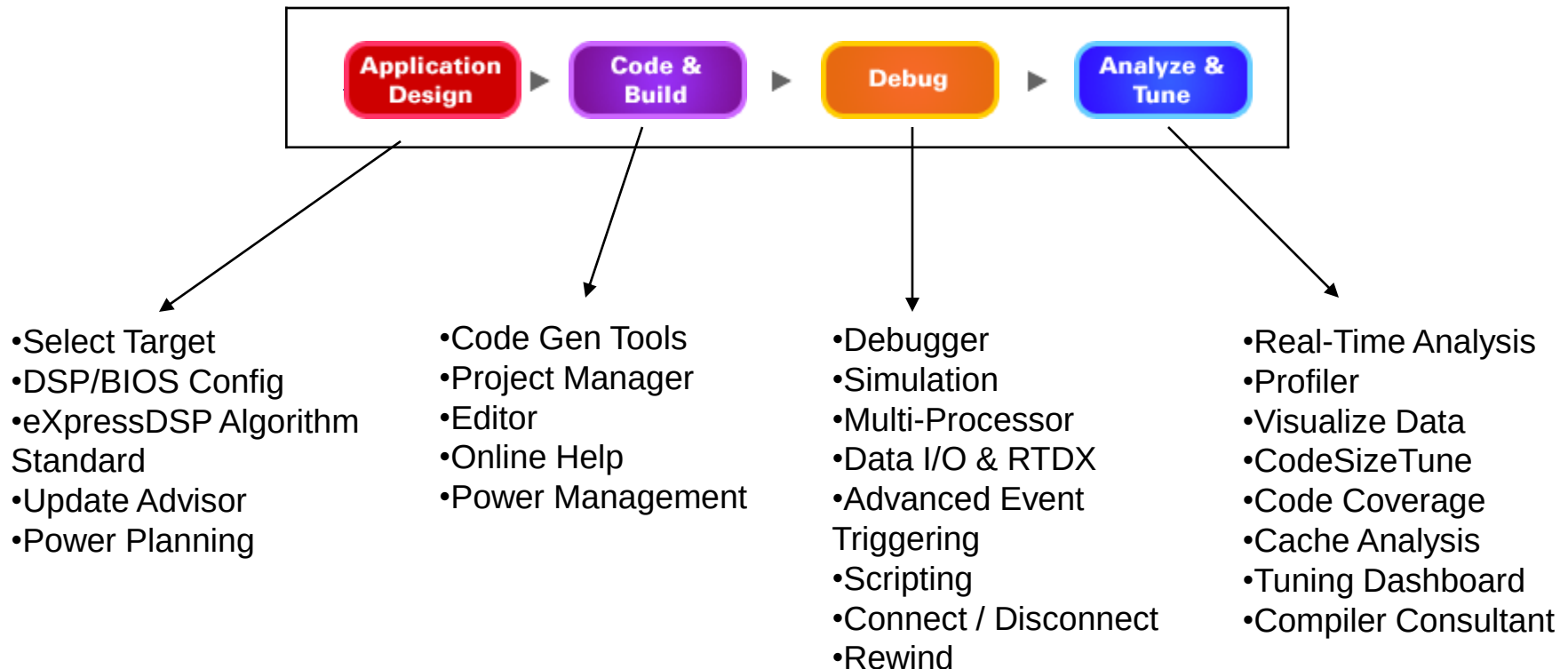


DSP Sw-based Design-Flow

- Code Composer Studio
- eXpressDSP™ Software and Development Tool



IDE Features Throughout the Algorithm Development Cycle



TI Code Composer Studio

The screenshot displays the TI Code Composer Studio (CCS) interface, which is a software development environment for Texas Instruments microcontrollers. The interface is divided into several panes and windows, each with a specific function:

- CodeWright Editor:** The central area for writing and editing source code. It shows a C program for a TI MSP430 microcontroller, including a main function and a delay function.
- DSP/BIOS Configuration Window:** A window for configuring the target hardware and software. It includes sections for "System" (CPU, Memory, etc.) and "Hardware Interrupts" (Global, Local, etc.).
- Memory Window:** A window for viewing the memory map of the target device. It shows the address range, size, and name of each memory block.
- Project Manager:** A window on the left side of the interface that manages the project files and folders. It shows a tree view of the project structure.
- Toolbars:** A series of icons and buttons located below the Project Manager, used for performing common actions like opening files, saving, and running.
- Disassembly Window:** A window for viewing the disassembled code of the target device. It shows the assembly instructions and their corresponding addresses.
- Output Window:** A window for viewing the output of the compiler and linker. It shows the compilation and linking messages.
- Data Visualization:** A window for visualizing the data generated by the target device. It includes a "Scope" window for viewing waveforms and a "GEL" window for viewing the GEL (Generic Execution Layer) output.
- Watch Window:** A window for monitoring the values of variables in the target device. It shows a table of variables and their current values.

The interface is designed to provide a comprehensive environment for developing and debugging applications for TI microcontrollers.

Kapcsolódó háttéranyagok:

- www.ti.com
- <http://focus.ti.com/dsp/docs/dspgettingstarted.tsp?sectionId=4>
(Getting Started DSP)
- <http://www-s.ti.com/sc/techlit/ssdv004.pdf>
(Selection Guide 2007 Q2)